

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-026711

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 09-172683

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.06.1997

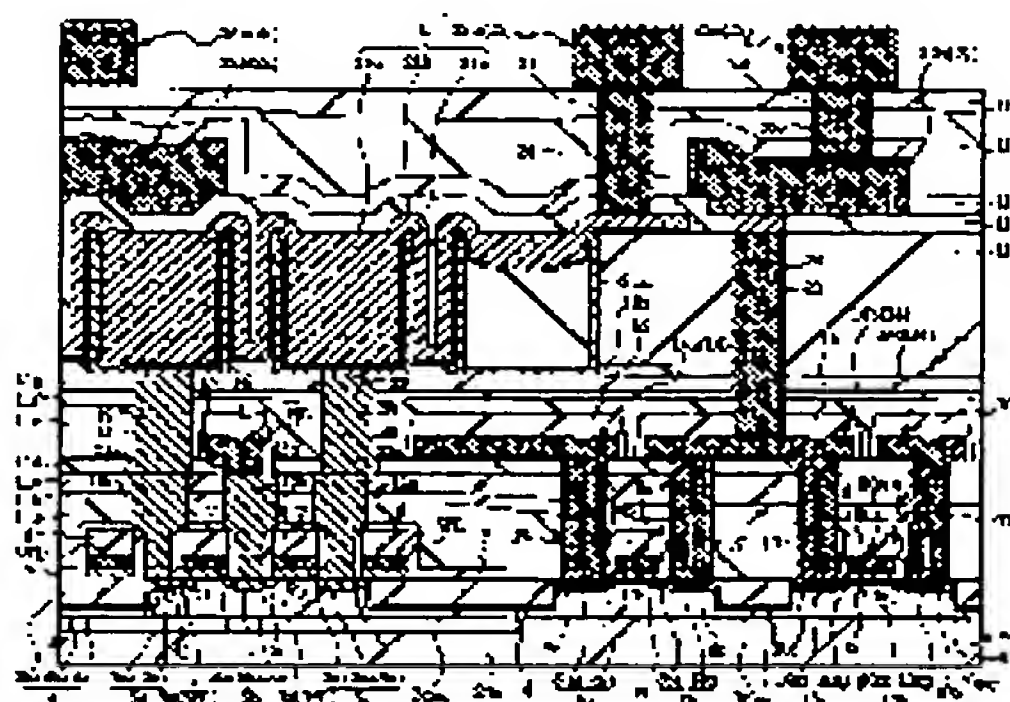
(72)Inventor : MIYAMOTO MASABUMI
NAGAI AKIRA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the driving capacity by forming the gate electrode of a memory selecting MIS transistor of polycrystalline silicon, and setting the conducting type of the polycrystalline silicon as the conducting type, which is reverse from the conducting type of a semiconductor region for the source/ drain of a memory-selecting MIS transistor.

SOLUTION: On a p-well 2 pwm of a semiconductor substrate 1, the memory cell of a DRAM and a selecting MIS transistor Q are formed. The selecting MIS transistor Q has a pair of semiconductor regions 5a and 5b which are formed separately to each other, a gate insulating film 5i formed on the semiconductor substrate 1, and a gate electrode 5g' on the upper part of a p-well 3 pwm. The semiconductor regions 5a and 5b constitute the source and the drain of the selecting MIS transistor Q, and n-type impurities are introduced. In the gate electrode 5g', p-type impurities are introduced. The conducting type, which is opposite to that of the source and the drain, is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-26711

(43)公開日 平成11年(1999)1月29日

(51)Int.Cl.⁶
H 0 1 L 27/108
21/8242

識別記号

F I
H 0 1 L 27/10 6 8 1 F
6 2 1 C

審査請求 未請求 請求項の数18 O L (全 47 頁)

(21)出願番号 特願平9-172683

(22)出願日 平成9年(1997)6月30日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 宮本 正文

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 永井 亮

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

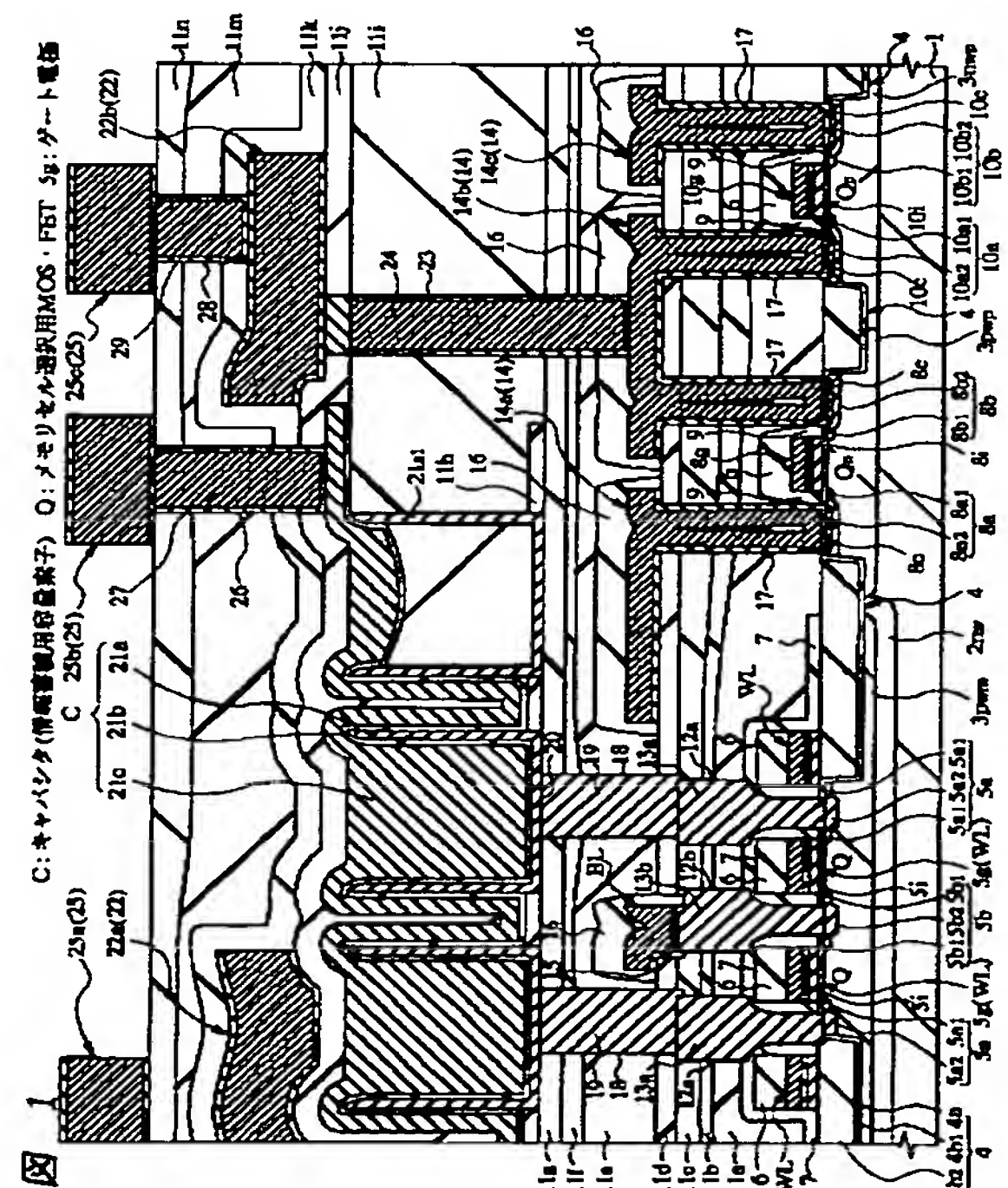
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 DRAMを有する半導体集積回路装置において、半導体基板の不純物濃度を高くすることなく、メモリセル選択用MISトランジスタのしきい値を高くする。

【解決手段】 DRAMのメモリセルを構成するnチャネル形のメモリセル選択用MOS・FETQのゲート電極5gを構成する低抵抗ポリシリコン膜の導電性をp⁺形とした。



【特許請求の範囲】

【請求項 1】 メモリセル選択用 M I S トランジスタと、これに直列に接続された情報蓄積用容量素子とで構成される D R A M を半導体基板上に有する半導体集積回路装置であって、前記メモリセル選択用 M I S トランジスタのゲート電極が多結晶シリコン、バリア金属および高融点金属またはシリサイドが順次積層された構造を成し、前記多結晶シリコンの導電形を、前記メモリセル選択用 M I S トランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形としたことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタのゲート電極におけるバリア金属が T i N または W N から成り、前記メモリセル選択用 M I S トランジスタのゲート電極における多結晶シリコンの導電形が多結晶シリコン膜に所定の導電形の不純物を導入することで設定されていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタのチャネル形成領域に、しきい電圧微調整用の低不純物濃度の半導体領域を設けたことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタを半導体基板における所定の導電形の半導体領域上に設け、かつ、前記所定の導電形の半導体領域上に、前記メモリセル選択用 M I S トランジスタ以外の他の M I S トランジスタであって前記メモリセル選択用 M I S トランジスタのソース・ドレイン用の半導体領域の導電形と同一チャネル導電形の M I S トランジスタを設けたことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタのチャネル形成領域に、しきい電圧微調整用の低不純物濃度の半導体領域を設けたことを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタにおけるソース・ドレイン用の半導体領域の導電形が n 形であり、前記メモリセル選択用 M I S トランジスタにおけるゲート電極の導電形が p 形であることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 6 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタのチャネル形成領域に、しきい電圧微調整用の低不純物濃度の n 形半導体領域を設けたことを特徴とする半導体集積回路装置。

【請求項 8】 請求項 6 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタのゲ

ト絶縁膜を酸化窒化膜としたことを特徴とする半導体集積回路装置。

【請求項 9】 請求項 1 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタにおけるソース・ドレイン用の半導体領域の導電形が p 形であり、前記メモリセル選択用 M I S トランジスタにおけるゲート電極の導電形が n 形であることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 1 記載の半導体集積回路装置において、(a) 前記半導体基板の上部に形成される分離領域と、(b) 前記半導体基板の上部に形成される領域であって前記分離領域によって規定される活性領域と、(c) 前記半導体基板上において前記活性領域のうち前記メモリセル選択用 M I S トランジスタが形成される活性領域の延在方向に対して交差する方向に延び、かつ、前記メモリセル選択用 M I S トランジスタのゲート電極を形成する複数のワード線と、(d) 前記複数のワード線の表面を被覆する窒化膜と、(e) 前記窒化膜とは異なる材料からなり、前記窒化膜および複数のワード線を被覆するように半導体基板上に堆積された絶縁膜と、(f) 前記メモリセル選択用 M I S トランジスタの活性領域が露出するように前記絶縁膜に穿孔された接続孔であって、前記絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔された接続孔とを備えることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 10 記載の半導体集積回路装置において、前記分離領域が半導体基板に形成された分離溝内に分離膜が埋め込まれて形成されていることを特徴とする半導体集積回路装置。

【請求項 12】 請求項 1 記載の半導体集積回路装置において、前記半導体基板上に論理集積回路を設け、前記論理集積回路を構成する M I S トランジスタのゲート電極の導電形を、その M I S トランジスタにおけるソース・ドレイン用の半導体領域の導電形と同一の導電形としたことを特徴とする半導体集積回路装置。

【請求項 13】 請求項 12 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタにおけるソース・ドレイン用の半導体領域の導電形が n 形であり、前記メモリセル選択用 M I S トランジスタにおけるゲート電極の導電形が p 形であり、前記論理集積回路を構成する p チャネル形の M I S トランジスタのゲート電極の導電形が p 形であり、前記論理集積回路を構成する n チャネル形の M I S トランジスタのゲート電極の導電形が n 形であることを特徴とする半導体集積回路装置。

【請求項 14】 メモリセル選択用 M I S トランジスタと、これに直列に接続された情報蓄積用容量素子とで構成される D R A M を半導体基板上に有する半導体集積回路装置の製造方法であって、(a) 前記半導体基板上に

ゲート絶縁膜を形成する工程と、(b) 前記ゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、(c) 前記多結晶シリコン膜において、前記メモリセル選択用MISトランジスタのゲート電極形成領域に、前記メモリセル選択用MISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形の不純物を導入する工程と、(d) 前記多結晶シリコン膜上にバリア金属膜および高融点金属膜を順次堆積する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 5】 請求項 1 4 記載の半導体集積回路装置の製造方法において、前記多結晶シリコン膜におけるゲート電極形成領域への不純物の導入工程に際して、前記不純物を、前記多結晶シリコン膜において前記メモリセル選択用MISトランジスタ以外の他のMISトランジスタのゲート電極形成領域にも同時に導入することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 6】 nチャネル形のメモリセル選択用MISトランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるDRAMを半導体基板上に有する半導体集積回路装置の製造方法であって、(a) 前記半導体基板上にゲート絶縁膜を形成する工程と、(b) 前記ゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、(c) 前記多結晶シリコン膜において、前記nチャネル形のメモリセル選択用MISトランジスタのゲート電極形成領域およびDRAMの周辺回路を構成するpチャネル形のMISトランジスタのゲート電極形成領域に、前記p形の不純物を導入する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 7】 nチャネル形のメモリセル選択用MISトランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるDRAMを半導体基板上に有する半導体集積回路装置の製造方法であって、(a) 前記半導体基板上にゲート絶縁膜を形成する工程と、(b) 前記ゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、(c) 前記多結晶シリコン膜において、前記nチャネル形のメモリセル選択用MISトランジスタのゲート電極形成領域、DRAMの周辺回路を構成するpチャネル形のMISトランジスタのゲート電極形成領域および半導体基板上に形成される論理集積回路を構成するMISトランジスタのpチャネル形のゲート電極形成領域に、前記p形の不純物を導入する工程と、(d) 前記多結晶シリコン膜上にバリア金属膜および高融点金属膜を順次堆積する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 8】 メモリセル選択用MISトランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるDRAMを半導体基板上に有する半導体集積回路装置の製造方法であって、(a) 前記半導体基板の上部に分離領域およびこれによって形成される活性領域を形成する工程と、(b) 前記活性領域における半導体基

板上にゲート絶縁膜を形成する工程と、(c) 前記ゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、

(d) 前記多結晶シリコン膜において、前記メモリセル選択用MISトランジスタのゲート電極形成領域に、前記メモリセル選択用MISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形の不純物を導入する工程と、(e) 前記不純物導入工程後の多結晶シリコン膜上にバリア金属膜を介して高融点金属または高融点金属シリサイドからなる導体膜を堆積する工程

と、(f) 前記多結晶シリコン膜およびその上の導体膜をパターンニングすることにより、メモリ領域においては前記メモリセル選択用MISトランジスタのゲート電極を構成する複数のワード線を形成するとともに、メモリ領域以外の領域においてはメモリセル選択用MISトランジスタ以外の他のMISトランジスタのゲート電極を形成する工程と、(g) 前記複数のワード線の表面に窒化膜を被覆する工程と、(h) 前記半導体基板上に、前記窒化膜および複数のワード線を被覆するように前記窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(i) 前記絶縁膜上に接続孔形成用のマスクパターンを形成した後、前記半導体基板に対して、前記絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより、前記絶縁膜に前記メモリセル選択用MISトランジスタの活性領域が露出するような接続孔を自己整合的に穿孔する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM(Dynamic Random Access Memory)を有する半導体集積回路装置およびその製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】 DRAMのメモリセルは、1つのメモリセル選択MISトランジスタと、それに直列に接続されたキャパシタとから構成されている。このため、集積度が高く、ビット当たりの単価を安くすることができる等からメモリを大量に使用する各種コンピュータのメイン・メモリ等に広く使用されている。

【0003】 しかし、情報を記憶する素子としてキャパシタを用いているので、そのまま放置しておく情報の記憶に用いられる信号電荷が時間の経過とともにリークしてしまい記憶内容が失われてしまう。

【0004】 このため、DRAMにおいては、メモリセルの情報を記憶し続けるために、記憶内容を定期的に再生する、いわゆるリフレッシュ動作が必要であり、DRAM全体の動作速度の向上とともに、このリフレッシュ特性を向上させるべく種々の構造上および回路上の研究および技術開発が行われている。

【0005】なお、DRAMについては、例えば株式会社 プレスジャーナル、平成5年11月25日発行、「月刊セミコンダクタワールド (Semiconductor World) 増刊号 94年 最新半導体プロセス技術」P23～P71に記載がある。

【0006】また、DRAMにおいてメモリセル選択MISトランジスタのV_{th}を高める課題があり、その具体的手段としてnチャネルMOSトランジスタのゲート電極にP型ポリシリコンを用いることが特開平2-214155号公報、特開平4-357865号公報あるいは特開平9-36318号公報に開示されている。

【0007】

【発明が解決しようとする課題】メモリセル選択用MISトランジスタは、キャパシタとビット線との間に介在されて、その双方を電氣的に接続したり絶縁したりするためのスイッチング素子であり、半導体基板に形成されたソース・ドレイン用の一対の半導体領域と、半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを有している。

【0008】このソース・ドレイン用の一対の半導体領域の一方には上記したキャパシタが電氣的に接続され、他方にはビット線が接続される構造になっている。ゲート電極は、ワード線の一部で構成されており、ワード線の抵抗を下げてもメモリのアクセス速度等を向上させる等の観点から低抵抗ポリシリコン上にバリアメタル層を介して高融点金属やシリサイドからなる導体膜を積み重ねる構造（いわゆるポリメタルゲート）が考えられた。

【0009】このゲート電極形成用の低抵抗ポリシリコンには、通常、MISトランジスタの形成上の容易性等を考慮してそのMISトランジスタのソース・ドレイン用の半導体領域における導電形と同一導電形の不純物が含有されている。

【0010】ところが、メモリセル選択MISトランジスタのゲート電極材料として、チャンネルの導電形と同一導電形の不純物を含むポリシリコン膜を用いる上記技術においては、以下の問題があることを本発明者は見出した。

【0011】すなわち、上記したメモリセル選択MISトランジスタの場合、DRAMの安定動作を確保すべくしきい電圧値を高くするためには、通常は半導体基板における不純物濃度を高くしているが、基板濃度を高くすると、基板バイアス効果が大きくなる結果、データ書き込み時におけるしきい値の上昇が大きくなり、ワード線の電位の昇圧に際して高電圧が必要となるので、信頼性を確保する観点からゲート酸化膜の膜厚をあまり薄くすることができない。

【0012】しかし、一般的にメモリセル選択MISトランジスタのゲート酸化膜と周辺回路のゲート酸化膜とは製造の容易性等の観点から通常は同時に形成されるので、周辺回路のMISトランジスタにおけるゲート酸化

膜もメモリセル選択MISトランジスタのゲート酸化膜にあわせて厚くしなければならず、周辺回路において低い電源電圧で動作するロジック用のMISトランジスタにおいては、ゲート酸化膜が必要以上厚くなり、駆動電流等の性能向上が阻害されるという問題がある。

【0013】また、半導体基板における不純物濃度が高いため、蓄積ノードの半導体領域近傍における電界強度が大きく、メモリセルのリフレッシュ特性の向上を阻害する問題やビット線の寄生容量が増大する問題がある。

【0014】また、近年はメモリ回路と論理回路とを同一半導体基板上に設けるメモリーロジック混載形の半導体集積回路装置の開発および製造が進められており、これに伴い、如何にして、DRAMと論理回路とのプロセス上の統一化を図るかが重要な課題となっている。

【0015】本発明の目的は、DRAMを有する半導体集積回路装置において、半導体基板の不純物濃度を高くすることなく、メモリセル選択用MISトランジスタのしきい値を高くすることのできる技術を提供することにある。

【0016】また、本発明の他の目的は、DRAMを有する半導体集積回路装置において、周辺回路用のMISトランジスタの駆動能力を向上させることのできる技術を提供することにある。

【0017】また、本発明の他の目的は、DRAMを有する半導体集積回路装置において、リフレッシュ特性を向上させることのできる技術を提供することにある。

【0018】また、本発明の他の目的は、DRAMを有する半導体集積回路装置において、ビット線容量を低減させることのできる技術を提供することにある。

【0019】さらに、本発明の他の目的は、DRAMと論理回路とを同一半導体基板上に有する半導体集積回路装置において、DRAMと論理回路とのプロセス上の統一化を図ることのできる技術を提供することにある。

【0020】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0022】本発明の半導体集積回路装置は、メモリセル選択用MISトランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるDRAMを半導体基板上に有する半導体集積回路装置であって、前記メモリセル選択用MISトランジスタのゲート電極が多結晶シリコン、バリア金属および高融点金属またはシリサイドが順次積層された構造を成し、前記多結晶シリコンの導電形を、前記メモリセル選択用MISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形としたものである。

【0023】また、本発明の半導体集積回路装置は、前記メモリセル選択用MISトランジスタを半導体基板における所定の導電形の半導体領域上に設け、かつ、前記所定の導電形の半導体領域上に、前記メモリセル選択用MISトランジスタ以外の他のMISトランジスタであって前記メモリセル選択用MISトランジスタのソース・ドレイン用の半導体領域の導電形と同一チャネル導電形のMISトランジスタを設けたものである。

【0024】また、本発明の半導体集積回路装置は、メモリセル選択用MISトランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるDRAMを半導体基板上に有する半導体集積回路装置であって、前記メモリセル選択用MISトランジスタにおけるソース・ドレイン用の半導体領域の導電形がn形であり、前記メモリセル選択用MISトランジスタにおけるゲート電極の導電形がp形であり、前記メモリセル選択用MISトランジスタのゲート絶縁膜を酸化窒化膜としたものである。

【0025】また、本発明の半導体集積回路装置の製造方法は、メモリセル選択用MISトランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるDRAMを半導体基板上に有する半導体集積回路装置の製造方法であって、(a)前記半導体基板上にゲート絶縁膜を形成する工程と、(b)前記ゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、(c)前記多結晶シリコン膜において、前記メモリセル選択用MISトランジスタのゲート電極形成領域に、前記メモリセル選択用MISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形の不純物を導入する工程とを有し、前記多結晶シリコン膜におけるゲート電極形成領域への不純物の導入工程に際して、前記不純物を、前記多結晶シリコン膜において前記メモリセル選択用MISトランジスタ以外の他のMISトランジスタのゲート電極形成領域にも同時に導入するものである。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0027】（実施の形態1）図1は本発明の一実施の形態である半導体集積回路装置の要部断面図、図2～図44は図1の半導体集積回路装置の製造工程中における要部断面図、図45は基板電圧とメモリセル選択用MIS・FETのしきい電圧との関係を図1の半導体集積回路装置と本発明者が検討したn⁺ゲートのnチャネル形のメモリセル選択用MIS・FETとで比較して示したグラフ図、図46は蓄積ノード-基板間の印加電圧とリーク電流との関係を図1の半導体集積回路装置と本発明者が検討したn⁺ゲートのnチャネル形のメモリセル選択用MIS・FETとで比較して示したグラフ図であ

る。

【0028】本実施の形態1においては、例えば256M・DRAMに本発明を適用した場合について説明する。

【0029】まず、本実施の形態1のDRAMにおける断面構造を図1によって説明する。半導体基板1は、例えばp-形のシリコン単結晶からなり、そのメモリ領域には深いnウエル2nwが形成されている。この深いnウエル2nwには、例えばn形不純物のリンが導入されている。

【0030】この深いnウエル2nwの上層にはpウエル3pwmが形成されている。このpウエル3pwmは、その周囲が深いnウエル2nwによって取り囲まれて周辺回路領域等から電氣的に分離されている。このpウエル3pwmには、例えばp形不純物のホウ素が導入されている。そのp形不純物の濃度は、例えば10¹⁷～10¹⁸/cm³程度である。

【0031】また、周辺回路領域等における半導体基板1において、メモリ領域のpウエル3pwmとはほぼ同じ程度の深さ領域にはpウエル3pwpが形成されている。このpウエル3pwpには、例えばp形不純物のホウ素が導入されている。そのp形不純物の濃度は、例えば10¹⁷～10¹⁸/cm³程度である。

【0032】また、周辺回路領域等における半導体基板1において、メモリ領域のpウエル3pwmとはほぼ同じ程度の深さ領域にはnウエル3nwpが形成されている。nウエル3nwpには、例えばn形不純物のリンまたはヒ素(As)が導入されている。そのn形不純物の濃度は、例えば10¹⁷～10¹⁸/cm³程度である。

【0033】このような半導体基板1の上層部には、例えば浅い溝掘り埋込形の素子分離領域4が形成されている。すなわち、この素子分離領域4は、半導体基板1の厚さ方向に掘られた分離溝4a内に分離用の絶縁膜4b1, 4b2が埋め込まれて形成されている。

【0034】この分離用の絶縁膜4b1, 4b2は、例えば二酸化シリコン(SiO₂)等からなる。なお、この素子分離領域4の上面は、その高さが半導体基板1の主面の高さとはほぼ一致するように平坦に形成されている。

【0035】メモリ領域（図1の左側）における半導体基板1のpウエル2pwm上にはDRAMのメモリセルが形成されている。このメモリセルは、1つのメモリセル選択用MOS・FETQと1つのキャパシタ（情報蓄積用容量素子）Cとから構成されている。

【0036】メモリセル選択用MOS・FETQは、pウエル3pwmの上部に互いに離間して形成された一対の半導体領域5a, 5bと、半導体基板1上に形成されたゲート絶縁膜5iと、その上に形成されたゲート電極5gとを有している。なお、メモリセル選択用MOS・FETQのしきい電圧は、例えば1V前後である。

【0037】半導体領域5a, 5bは、メモリセル選択

用MOS・FETQのソース・ドレインを形成するための領域であり、この領域には、例えばn形不純物のAsが導入されている。この半導体領域5a、5bの間においてゲート電極5gの直下にはメモリセル選択用MOS・FETQのチャネル領域が形成される。

【0038】また、ゲート電極5gは、ワード線WLの一部によって形成されており、低抵抗ポリシリコン膜、窒化チタン(TiN)膜およびタングステン膜が下層から順に堆積され、ポリメタル構造を構成している。低抵抗ゲート電極材料としてのポリメタルは、そのシート抵抗が $2\Omega/\square$ 程度と低いことから、ゲート電極材料としてのみならず配線材料として利用することもできる。高融点金属としては、 800°C 以下の低温プロセスでも良好な低抵抗性を示し、かつエレクトロマイグレーション耐性の高いW(タングステン)、Mo(モリブデン)、Ti(チタン)などが使用される。なお、多結晶シリコン膜の上に直接これらの高融点金属膜を積層すると両者の接着力が低下したり、高温熱処理プロセスで両者の界面に高抵抗のシリサイド層が形成されたりするため、ポリメタルゲートは、多結晶シリコン膜と高融点金属膜との間にTiN(チタンナイトライド)やWN(タングステンナイトライド)などの金属窒化膜からなるバリア層を介在させた3層構造で構成される。

【0039】このような構造とすることにより、メモリセルにおける信頼性を損なうことなく、DRAMのアクセス速度を向上させることができる。また、ワード線WLに接続可能なメモリセルの個数を増加させることができるので、メモリセル領域のサイズを縮小できる。このため、チップサイズを縮小できる。したがって、1枚のウェハから取り出せるチップ数を増加できるので、DRAMのコストを低減することも可能となる。

【0040】また、バリア金属を耐酸化性が高く、抵抗増加を抑制でき、しかもゲート絶縁膜の耐圧を確保可能なWNとしたことにより、DRAMの信頼性を向上できる。

【0041】また、本実施の形態1においては、このゲート電極5gにおける低抵抗ポリシリコン膜に、例えばp形不純物のホウ素が導入されている。これにより、例えば次の第1～第4の効果を得ることが可能となっている。

【0042】第1に、半導体基板1の不純物濃度(すなわち、pウェル3pwmの不純物濃度;以下、基板濃度ともいう)を上げないでも、メモリセル選択用MOS・FETQのしきい電圧を高くすることが可能となっている。

【0043】これは、p⁺形のポリシリコンの仕事関数が5.15V程度であり、n⁺形のポリシリコンの4.15Vに対して約1V程度大きいので、基板濃度が同じでも、p⁺形ポリシリコンのゲート電極を用いたnチャネル形のメモリセル選択用MOS・FETQの方が、n⁺

形ポリシリコンのゲート電極を用いたnチャネル形のメモリセル選択用MOS・FETよりも、そのしきい電圧を約1V程度高くできるからである。

【0044】すなわち、本実施の形態1においては、基板濃度を上げないでも、メモリセル選択用MOS・FETQのしきい電圧を高い値に設定することができるので、基板濃度に起因する基板バイアス効果を抑制することが可能となっている。このため、ワード線昇圧のための電圧を低くすることができるので、メモリセル選択用MOS・FETQのゲート絶縁膜5iを薄くすることができる。このゲート絶縁膜5iと後述する周辺回路用のMOS・FETのゲート絶縁膜とは通常同時に形成されるので、周辺回路用のMOS・FETのゲート絶縁膜も薄くすることができるので、周辺回路用のMOS・FETの動作速度を向上させることが可能となっている。

【0045】第2に、メモリセル選択MOS・FETQのゲート電極用のポリシリコンをp⁺形としたことにより、メモリ領域におけるpウェル3pwmと周辺回路領域におけるpウェル3pwpとをほぼ同じ程度の低い基板濃度とした状態で、メモリセル選択用MOS・FETのしきい電圧と、周辺回路用のMOS・FETのしきい電圧とをそれぞれのMOS・FETに適した値に設定することが可能となっている。メモリセル選択用MOS・FETQのしきい電圧値は情報保持時間の制約等により約1V程度に設定され、これ以下に下げるとはほとんどできない。一方、DRAM周辺回路用や論理回路用のMOS・FETのしきい電圧値は低電圧動作を目的として約0(零)V近くまで下げるようになってきている。本実施の形態1によれば、このような2つの要求に対して、基板濃度を変えないで対応することが可能となっている。

【0046】第3に、基板濃度の低減により、キャパシタCが接続される半導体領域5aの接合近傍の電界を緩和することができるので、蓄積ノードと半導体基板1との間のリーク電流を低減することができる。しかも、基板濃度の低減によりメモリセル選択用MOS・FETQのサブスレッショルド電流を低減することができるので、同じしきい値でもMOS・FETのリーク電流を低減することができる。そして、これらのリーク電流の低減により、メモリセルのリフレッシュ特性を向上させることが可能となっている。

【0047】第4に、基板濃度の低減により、ビット線寄生容量を低減することができるので、DRAMの動作速度を向上させることが可能となっている。

【0048】ゲート絶縁膜5iは、例えばSiO₂からなり、その厚さは、例えば6～12nm程度、好ましくは8nm程度に設定されている。また、このゲート絶縁膜5iを酸窒化膜(SiON膜)によって形成しても良い。これにより、ゲート電極5gを形成するポリシリコン中のホウ素が半導体基板1側に拡散するのを抑制する

11

ことが可能となっている。これは、ゲート絶縁膜5 iに窒素が存在すると、ゲート電極5 g用のポリシリコン膜中におけるホウ素がゲート絶縁膜5 iを透過するのを抑制できるからである。

【0049】すなわち、ゲート電極形成用のポリシリコン膜中のホウ素が、その後の熱処理によりゲート絶縁膜5 iを突き抜けて半導体基板1に拡散してしまうと、メモリセル選択用MOS・FETQのフラットバンド電圧を変化させ、しきい電圧の変動を招いてしまうので、それを抑制すべくゲート絶縁膜5 iを酸窒化膜によって形成している。

【0050】また、ゲート絶縁膜5 iを酸窒化膜によって形成することにより、ゲート絶縁膜中における界面準位の発生を抑制することができ、また、ゲート絶縁膜中の電子トラップも低減することができるので、ゲート絶縁膜5 iにおけるホットキャリア耐性を向上させることが可能となる。したがって、薄いゲート絶縁膜5 iの信頼性を向上させることが可能となる。

【0051】このようなゲート絶縁膜5 iの酸窒化方法としては、例えばゲート絶縁膜5 iを酸化処理によって成膜する際にNH₃ ガス雰囲気やNO₂ ガス雰囲気中において高温熱処理を施すことによりゲート絶縁膜5 i中に窒素を導入する方法、SiO₂ 等からなるゲート絶縁膜5 iを形成した後、その上面に窒化膜を形成する方法、半導体基板の主面に窒素をイオン注入した後ゲート絶縁膜5 iの形成のための酸化処理を施す方法またはゲート電極形成用のポリシリコン膜に窒素をイオン注入した後、熱処理を施して窒素をゲート絶縁膜に析出させる方法等がある。

【0052】このようなメモリセル選択用MOS・FETQのゲート電極5 g、すなわち、ワード線WLの上面には、例えばSiO₂ 等からなる絶縁膜を介して、例えば窒化シリコンからなるキャップ絶縁膜6が形成されている。なお、キャップ絶縁膜6の下層の絶縁膜はキャップ絶縁膜6からの応力を緩和するためのものである。

【0053】また、このキャップ絶縁膜6の表面、ゲート電極5 g（ワード線WL）の側面および互いに隣接するワード線WL間における半導体基板1の主面上には、例えば窒化シリコンからなる絶縁膜7が形成されている。

【0054】一方、周辺回路領域（図1の右側）におけるpウエル3 pwp上にはnチャネル形のMOS・FETQnが形成されている。nチャネル形のMOS・FETQnは、pウエル3 pwpの上部に互いに離間して形成された一対の半導体領域8 a、8 bと、半導体基板1上に形成されたゲート絶縁膜8 iと、その上に形成されたゲート電極8 gとを有している。なお、このMOS・FETQnにおけるしきい電圧は、例えば0.1 V前後である。

【0055】半導体領域8 a、8 bは、nチャネル形の

12

MOS・FETQnのソース・ドレインを形成するための領域であり、この半導体領域8 a、8 bの間においてゲート電極8 gの直下にnチャネル形のMOS・FETQnのチャネル領域が形成される。

【0056】この半導体領域8 a、8 bはLDD（Lightly Doped Drain）構造となっている。すなわち、半導体領域8 a、8 bは、それぞれ低濃度領域8 a1, 8 b1と、高濃度領域8 a2, 8 b2とを有している。この低濃度領域8 a1, 8 b1は、チャネル領域側に形成されており、高濃度領域8 a2, 8 b2は、その外側に配置されている。

【0057】この低濃度領域8 a1, 8 b1には、例えばn形不純物のAsが導入されている。また、高濃度領域8 a2, 8 b2には、例えばn形不純物のAsが導入されているが、その不純物濃度は低濃度領域8 a1, 8 b1中の不純物濃度よりも高く設定されている。なお、半導体領域8 a、8 bの上層部には、例えばチタンシリサイド（TiSix）等からなるシリサイド層8 cが形成されている。

【0058】また、ゲート電極8 gは、例えば低抵抗ポリシリコン膜、TiN膜およびタングステン膜が下層から順に堆積されてなる。このゲート電極8 gにおける低抵抗ポリシリコン膜には、例えばn形不純物のリンまたはAsが導入されている。また、ゲート電極8 gを形成するタングステン膜等の金属膜は、ゲート電極8 gのシート抵抗を2～2.5 Ω/□程度にまで低減できる機能を有している。これにより、DRAMの動作速度を向上させることが可能となっている。

【0059】ゲート絶縁膜8 iは、例えばSiO₂ となり、その厚さは、前記メモリセル選択用MOS・FETQのゲート絶縁膜5 iと同様に、例えば6～12 nm程度、好ましくは8 nm程度に設定されている。また、このゲート絶縁膜8 iを酸窒化膜（SiON膜）によって形成しても良い。これにより、上記したように薄いゲート絶縁膜8 iのホットキャリア耐性を向上させることが可能となっている。

【0060】このゲート電極8 gの上面には、例えばSiO₂ 等からなる絶縁膜を介して、例えば窒化シリコンからなるキャップ絶縁膜6が形成されている。なお、キャップ絶縁膜6の下層の絶縁膜はキャップ絶縁膜6からの応力を緩和するためのものである。

【0061】また、このキャップ絶縁膜6およびゲート電極8 gの側面には、例えば窒化シリコンからなるサイドウォール9が形成されている。なお、このサイドウォール9は、主として上記した低濃度領域8 a1, 8 b1と高濃度領域8 a2, 8 b2とを半導体基板1上に形成するためのイオン注入用のマスクとして用いられている。

【0062】また、周辺回路領域におけるnウエル3 nwp上にはpチャネル形のMOS・FETQpが形成されている。pチャネル形のMOS・FETQpは、nウ

13

エル 3 nWp の上部に互いに離間して形成された一対の半導体領域 10a, 10b と、半導体基板 1 上に形成されたゲート絶縁膜 10i と、その上に形成されたゲート電極 10g とを有している。なお、この MOS・FET Qp におけるしきい電圧は、例えば 0.1 V 前後である。

【0063】半導体領域 10a, 10b は、p チャネル形の MOS・FET Qp のソース・ドレインを形成するための領域であり、この半導体領域 10a, 10b の間においてゲート電極 10g の直下に p チャネル形の MOS・FET Qp のチャネル領域が形成される。

【0064】この半導体領域 10a, 10b は LDD (Lightly Doped Drain) 構造となっている。すなわち、半導体領域 10a, 10b は、それぞれ低濃度領域 10a1, 10b1 と、高濃度領域 10a2, 10b2 とを有している。この低濃度領域 10a1, 10b1 は、チャネル領域側に形成されており、高濃度領域 10a2, 10b2 はその外側に配置されている。

【0065】低濃度領域 10a1, 10b1 には、例えば p 形不純物のホウ素が導入されている。また、高濃度領域 10a2, 10b2 には、例えば p 形不純物のホウ素が導入されているが、その不純物濃度は低濃度領域 10a1, 10b1 中の不純物濃度よりも高く設定されている。なお、半導体領域 10a, 10b の上層部には、例えばチタンシリサイド (TiSix) 等からなるシリサイド層 10c が形成されている。

【0066】ゲート電極 10g は、例えば低抵抗ポリシリコン膜、TiN 膜およびタングステン膜が下層から順に堆積されて形成されている。

【0067】このゲート電極 10g における低抵抗ポリシリコン膜には、例えば p 形不純物のホウ素が導入されている。これにより、低電圧動作対応の p チャネル形の MOS・FET Qp のしきい電圧を下げることができ、その特性および動作信頼性の向上が図られている。また、ゲート電極 10g を形成するタングステン膜等の金属膜は、ゲート電極 10g のシート抵抗を 2~2.5 Ω/\square 程度にまで低減できる機能を有している。これにより、DRAM の動作速度を向上させることが可能となっている。

【0068】ゲート絶縁膜 10i は、例えば SiO₂ からなり、その厚さは、前記メモリセル選択用 MOS・FET Q のゲート絶縁膜 5i と同様に、例えば 6~12 nm 程度、好ましくは 8 nm 程度に設定されている。また、このゲート絶縁膜 10i を酸窒化膜 (SiON 膜) によって形成しても良い。これにより、上記したように、ゲート電極 10g 中のホウ素がゲート絶縁膜 10i を突き抜けて半導体基板 1 側に拡散する現象およびその現象に起因するしきい電圧の変動等の不具合を抑制することが可能となっている。また、薄いゲート絶縁膜 10i のホットキャリア耐性を向上させることが可能となっている。

14

【0069】このゲート電極 10g の上面には、例えば SiO₂ 等からなる絶縁膜を介して、例えば窒化シリコンからなるキャップ絶縁膜 6 が形成されている。なお、キャップ絶縁膜 6 の下層の絶縁膜はキャップ絶縁膜 6 からの応力を緩和するためのものである。

【0070】また、このキャップ絶縁膜 6 およびゲート電極 10g の側面には、例えば窒化シリコン等からなるサイドウォール 9 が形成されている。なお、このサイドウォール 9 は、主として上記した低濃度領域 10a1, 10b1 と高濃度領域 10a2, 10b2 とを半導体基板 1 上に形成するためのイオン注入用のマスクとして用いられている。

【0071】なお、これらの n チャネル形の MOS・FET Qn および p チャネル形の MOS・FET Qp によって、DRAM のセンスアンプ回路、カラムデコード回路、カラムドライバ回路、ロウデコード回路、ロウドライバ回路、I/O セクタ回路、データ入力バッファ回路、データ出力バッファ回路および電源回路等のような周辺回路が形成されている。

【0072】このようなメモリセル選択用 MOS・FET Q、p チャネル形の MOS・FET Qp および n チャネル形の MOS・FET Qn 等の半導体集積回路素子は、半導体基板 1 上に堆積された層間絶縁膜 11a~11c によって被覆されている。

【0073】層間絶縁膜 11a~11c は、例えば SiO₂ 等からなる。このうち、層間絶縁膜 11a は、例えば SOG (Spin On Glass) 法によって堆積されている。また、層間絶縁膜 11b, 11c は、例えばプラズマ CVD 法等によって堆積されている。層間絶縁膜 11c の上面は、メモリ領域と周辺回路領域とでその高さがほぼ一致するように平坦に形成されている。

【0074】メモリ領域における層間絶縁膜 11a~11c、絶縁膜 7 には、半導体領域 5a, 5b が露出するような接続孔 12a, 12b が穿孔されている。この接続孔 12a, 12b の下部においてゲート電極 5g (ワード線 WL) の幅方向の寸法は、互いに隣接するゲート電極 5g (ワード線 WL) の側面の絶縁膜 7 部分によって規定されている。すなわち、接続孔 12a, 12b はゲート電極 5g (ワード線 WL) 側面の絶縁膜 7 によって自己整合的に穿孔されている。

【0075】これにより、この接続孔 12a, 12b のパターンを転写するための露光処理に際して、その接続孔 12a, 12b のパターンとメモリセル選択用 MOS・FET Qs の活性領域との相対的な平面位置が多少ずれてしまったとしても、この接続孔 12a, 12b からゲート電極 5g (ワード線 WL) の一部が露出しないようになっている。

【0076】この接続孔 12a, 12b 内にはそれぞれプラグ 13a, 13b が埋め込まれている。プラグ 13a, 13b は、例えば n 形不純物のリンが含有された低

抵抗ポリシリコンからなり、それぞれメモリセル選択用 MOS・FETQ の半導体領域 5 a, 5 b と電氣的に接続されている。なお、プラグ 13 b の上面には、例えば TiSix 等のようなシリサイド膜が形成されている。

【0077】層間絶縁膜 11 c 上には層間絶縁膜 11 d が堆積されている。この層間絶縁膜 11 d は、例えば SiO₂ 等からなり、例えばプラズマ CVD 法等によって形成されている。この層間絶縁膜 11 d 上には、ビット線 BL および第 1 層配線 14 (14 a ~ 14 c) が形成されている。

【0078】このビット線 BL は、例えば Ti 膜、TiN 膜およびタングステン膜が下層から順に堆積されてなり、層間絶縁膜 11 d に穿孔された接続孔 15 を通じてプラグ 13 b と電氣的に接続され、さらに、プラグ 13 b を通じてメモリセル選択 MOS・FETQ の半導体領域 5 b と電氣的に接続されている。このビット線 BL の表面 (上面および側面) には、例えば窒化シリコンからなる絶縁膜 16 が被覆されている。

【0079】なお、ビット線 BL はワード線 WL の延在方向に対して交差する方向に延びている。したがって、図 1 に示すような断面にはビット線 BL は示されないのが通常であるが、ビット線 BL が配置されている配線層を示すために、また、ビット線 BL 表面に被覆された絶縁膜 16 の作用を後述するために等の理由からビット線 BL を示している。

【0080】一方、周辺回路領域の第 1 層配線 14 は、ビット線 BL と同様に、例えば Ti 膜、TiN 膜およびタングステン膜が下層から順に堆積されてなり、その表面 (上面および側面) には、例えば窒化シリコンからなる絶縁膜 16 が被覆されている。

【0081】このうち、第 1 層配線 14 a は、層間絶縁膜 11 a ~ 11 d に穿孔された接続孔 17 を通じて n チャネル形の MOS・FETQn の半導体領域 8 a と電氣的に接続されている。また、第 1 層配線 14 b は、層間絶縁膜 11 a ~ 11 d も穿孔された接続孔 17 を通じて n チャネル形の MOS・FETQn の半導体領域 8 b および p チャネル形の MOS・FETQp の半導体領域 10 a と電氣的に接続されている。さらに、第 1 層配線 14 c は、層間絶縁膜 11 a ~ 11 d に穿孔された接続孔 17 を通じて p チャネル形の MOS・FETQp の半導体領域 10 b と電氣的に接続されている。

【0082】層間絶縁膜 11 d の上面には、層間絶縁膜 11 e ~ 11 g が下層から順に堆積されており、これにより、絶縁膜 16 が被覆されている。層間絶縁膜 11 e ~ 11 g は、例えば SiO₂ 等からなる。このうち、層間絶縁膜 11 e は、例えば SOG (Spin On Glass) 法によって堆積されている。また、層間絶縁膜 11 f, 11 g は、例えばプラズマ CVD 法等によって形成されている。層間絶縁膜 11 g の上面は、メモリ領域と周辺回路領域とでその高さがほぼ一致するように平坦に形成さ

れている。

【0083】メモリ領域における層間絶縁膜 11 d ~ 11 g にはプラグ 13 a の上面が露出するような接続孔 18 が穿孔されている。本実施の形態 1 においては、ビット線 BL の表面に窒化シリコン等からなる絶縁膜 16 が被覆されているので、この接続孔 18 の平面的な位置が、ビット線 BL の幅方向にずれてビット線 BL に重なるようになったとしても、窒化シリコン等からなる絶縁膜 16 がエッチングストップとして機能するので、その接続孔 18 からビット線 BL が直接露出してしまうのを防止することが可能となっている。

【0084】この接続孔 18 内にはプラグ 19 が埋め込まれている。プラグ 19 は、例えば n 形不純物のリンが含有された低抵抗ポリシリコンからなり、プラグ 13 a と電氣的に接続され、さらに、これを通じてメモリセル選択 MOS・FETQ の半導体領域 5 a と電氣的に接続されている。

【0085】層間絶縁膜 11 g の上面には、層間絶縁膜 11 h, 11 i が堆積されている。層間絶縁膜 11 h は、例えば窒化シリコンからなり、主としてメモリ領域を覆うように形成されている。層間絶縁膜 11 i は、例えば SiO₂ 等からなる。この層間絶縁膜 11 h, 11 i には、プラグ 19 の上面が露出するような開口部 20 が開口されており、この開口部 20 内に上記メモリセルのキャパシタ C が形成されている。

【0086】キャパシタ C は、例えばクラウン形状に形成されており、蓄積電極 21 a と、その表面に被覆された容量絶縁膜 21 b と、その表面に被覆されたプレート電極 21 c とから構成されている。

【0087】キャパシタ C の蓄積電極 21 a は、例えば低抵抗ポリシリコンからなり、その表面には、キャパシタ C の占有面積を増やさずに容量を増大させるべく、例えば複数の微細な凹凸が形成されている。

【0088】この蓄積電極 21 a の下部は、開口部 20 を通じてプラグ 19 と電氣的に接続され、これを通じてメモリセル選択 MOS・FETQ の半導体領域 5 a と電氣的に接続されている。なお、図 1 のメモリ領域と周辺回路領域との境界領域 (図 1 のほぼ中央) に配置されている蓄積電極 21 a1 はダミーである。

【0089】また、キャパシタ C の容量絶縁膜 21 b は、例えば酸化タンタル (Ta₂O₅) 等からなる。キャパシタ C のプレート電極 21 c は、例えば TiN 等からなり、複数の蓄積電極 21 a を覆うように形成されている。

【0090】層間絶縁膜 11 i 上には、層間絶縁膜 11 j が堆積されており、これによってプレート電極 21 c が被覆されている。この層間絶縁膜 11 j は、例えば SiO₂ 等からなり、その上面には第 2 層配線 22 (22 a, 22 b) が形成されている。

【0091】第 2 層配線 22 は、例えば TiN 膜、アル

17

ミニウム (A1) 膜およびTi膜が下層から順に堆積されてなる。周辺回路領域における第2層配線22bは、層間絶縁膜11e~11g, 11i, 11jおよび絶縁膜16に穿孔された接続孔23内の導体膜24を通じて第1層配線14bと電氣的に接続されている。この導体膜24は、例えばTiN膜およびタングステン膜が下層から順に堆積されてなる。

【0092】層間絶縁膜11j上には、層間絶縁膜11k, 11m, 11nが下層から順に堆積されており、これによって第2層配線22が被覆されている。層間絶縁膜11k, 11nは、例えばSiO₂等からなり、例えばプラズマCVD法等によって形成されている。層間絶縁膜11mは、例えばSiO₂等からなり、例えばSOG法等によって形成されている。

【0093】層間絶縁膜11n上には、第3層配線25(25a~25c)が形成されている。第3層配線25は、例えばTiN膜、Al膜およびTi膜が下層から順に堆積されてなる。

【0094】このうち、周辺回路領域における第3層配線25bは、層間絶縁膜11j, 11k, 11m, 11nに穿孔された接続孔26内の導体膜27を通じてプレート電極21cと電氣的に接続されている。また、周辺回路領域における第3層配線25cは、層間絶縁膜11k, 11m, 11nに穿孔された接続孔28内の導体膜29を通じて第2層配線22bと電氣的に接続されている。導体膜27, 29は、例えばTiN膜およびタングステン膜が下層から順に堆積されてなる。

【0095】第3層配線25の上部には、例えば酸化シリコン膜と窒化シリコン膜とを積層した2層の絶縁膜等で構成されたパッシベーション膜が形成されているが、それらの図示は省略する。

【0096】次に、本実施の形態1の半導体集積回路装置の製造方法の一例を図2~図45によって説明する。

【0097】まず、図2に示すように、p形のSi単結晶からなる半導体基板1を熱処理してその表面に、例えば膜厚10~30nm程度のSiO₂等からなるパッド膜30を形成した後、このパッド膜30上に、例えば膜厚100~200nm程度の窒化シリコン等からなる耐酸化性膜31をCVD (Chemical Vapor Deposition) 法によって堆積する。

【0098】続いて、図3に示すように耐酸化性膜31上に形成したフォトリソグ32aをエッチングマスクにして素子分離領域の耐酸化性膜31、パッド膜30、半導体基板1を順次エッチングすることにより、半導体基板1に深さ350~400nm程度の分離溝4aを形成する。この際、耐酸化性膜31をエッチングするガスは、例えばCF₄ + CHF₃ + ArまたはCF₄ + Arを使用し、半導体基板1をエッチングするガスは、例えばHBr + Cl₂ + He + O₂を使用する。

【0099】その後、図4に示すように、エッチングに

18

より分離溝4aの内壁に生じたダメージ層を除去するために、酸化処理を施して分離溝4aの内面に、例えばSiO₂からなる絶縁膜4b1を形成した後、図5に示すように、半導体基板1上に、例えばSiO₂等からなる絶縁膜4b2をCVD法により堆積する。この際、絶縁膜4b2は、例えばTEOS (Tetraethoxysilane) ガスを用いたプラズマCVD法等によって形成する。

【0100】次いで、絶縁膜4b2上に、例えば窒化シリコンからなる絶縁膜33をCVD法等によって堆積した後、この絶縁膜33を、図7に示すように、フォトリソグ32bをエッチングマスクにして、相対的に幅(面積)の広い素子分離領域上に窒化シリコン等からなる絶縁膜33aのパターンを形成する。

【0101】素子分離領域の上部に残った窒化シリコン等からなる絶縁膜33aは、次の工程で絶縁膜4b2を化学的機械研磨 (Chemical Mechanical Polishing; CMP) 法で研磨して平坦化する際、相対的に広い面積の分離溝4aの内部の絶縁膜4b2が相対的に狭い面積の素子分離領域の分離溝4aの内部の絶縁膜4b2に比べて深く研磨される現象 (ディッシング; dishing) を防止するために形成される。

【0102】続いて、絶縁膜4b2を、絶縁膜31, 33aをストッパに用いたCMP法によって研磨して分離溝4aの内部に残すことにより、図8に示すように、素子分離領域4を形成する。この際、本実施の形態1においては、相対的に幅(面積)の広い素子分離領域4上に絶縁膜33aのパターンを設けたことにより、素子分離領域4における分離用の絶縁膜4b2上面の削れを防止することができる。このため、素子分離領域4における分離用の絶縁膜4b2の上面の高さを半導体基板1の主面の高さにほぼ一致させることが可能となっている。

【0103】次いで、耐酸化性膜31および絶縁膜33a熱リン酸等により除去し、パッド膜30を除去した後、半導体基板1に対してプレ酸化処理を施す。

【0104】続いて、半導体基板1上にメモリ領域が露出するような深いnウエル形成用のフォトリソグパターンを形成した後、それをマスクとして半導体基板1のメモリ領域に、例えばn形不純物のリンをイオン注入する。

【0105】その後、深いnウエル形成用のフォトリソグパターンを除去した後、半導体基板1上にpウエル領域が露出するようなフォトリソグパターンを形成し、それをマスクとして半導体基板1のpウエル形成領域に、例えばp形不純物のホウ素等をイオン注入する。

【0106】次いで、pウエル形成用のフォトリソグパターンを除去した後、半導体基板1上にnウエル領域が露出するようなフォトリソグパターンを形成し、それをマスクとして半導体基板1のnウエル形成領域に、例えばn形不純物のリン等をイオン注入する。

【0107】続いて、nウエル形成用のフォトリソグ

パターンを除去した後、半導体基板 1 に対して熱処理を施すことにより、図 9 に示すように、半導体基板 1 に深い n ウエル 2 n w、p ウエル 3 p w m、3 p w p、n ウエル 3 n w p を形成する。

【0108】この深い n ウエル 2 n w は、入出力回路等から半導体基板 1 を通じてメモリ領域の p ウエル 3 p w m にノイズが侵入するのを防止してメモリセル内蓄積電荷の消除を防止するために形成される。

【0109】その後、MOS FET のしきい値電圧を調整するための不純物、例えば B F₂ (フッ化ホウ素) を p

【0110】その後、半導体基板 1 に対して熱酸化処理またはウエット酸化処理を施すことにより、半導体基板 1 の活性領域主面上に、例えば 6 ~ 12 n m 好ましくは膜厚 7 n m 程度の S i O₂ からなるゲート絶縁膜 5 i、8 i、10 i を形成する。

【0111】特に限定はされないが、上記ゲート絶縁膜 5 i、8 i、10 i を形成した後、半導体基板 1 を N O (酸化窒素)、N H₃ または N₂ O (亜酸化窒素) 雰囲気中で熱処理することによって、ゲート絶縁膜 5 i、8 i、10 i と半導体基板 1 との界面に窒素を偏析させてもよい (酸窒化処理)。

【0112】MOS・FET のゲート電極を構成するポリシリコンに p 形不純物のホウ素を導入した場合、そのホウ素がゲート絶縁膜 5 i、10 i を突き抜けて半導体基板 1 に拡散する問題がある。そこで、ゲート絶縁膜 5 i、10 i に対して酸窒化処理を施しておく、ホウ素がゲート絶縁膜 5 i、10 i を突き抜けるのを抑制することができるので、そのホウ素の拡散に起因する MOS・FET のしきい電圧の変動等を抑制し、MOS・FET の特性上の信頼性を向上させることができる。

【0113】また、ゲート絶縁膜 5 i、8 i、10 i が 7 n m 程度まで薄くなると、半導体基板 1 との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板 1 との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極薄のゲート絶縁膜 5 i、8 i、10 i の信頼性を向上できる。

【0114】次いで、図 10 に示すように、半導体基板 1 上に、ポリシリコン膜 3 4 を CVD 法等によって堆積する。

【0115】続いて、半導体基板 1 上に形成される MOS・FET のゲート電極における導電形を設定するための不純物導入工程に移行する。

【0116】すなわち、図 11 に示すように、ポリシリコン膜 3 4 上に、周辺回路領域における n チャネル形の MOS・FET 形成領域が露出するようなフォトリソ

4 にイオン注入する。

【0117】続いて、フォトリソ 3 2 c を除去した後、図 12 に示すように、メモリセル選択用 MOS・FET 形成領域および周辺回路領域における p チャネル形の MOS・FET 形成領域が露出するようなフォトリソ 3 2 d を形成した後、これをマスクとして、例えば p 形不純物のホウ素または B F₂ をポリシリコン膜 3 4 にイオン注入する。

【0118】このホウ素または B F₂ 等のような p 形不純物のイオン注入に際しては、注入エネルギーを制御することにより、ホウ素等がポリシリコン膜 3 4 のあまり深い位置まで到らないようにしても良い。

【0119】これは、ホウ素等をポリシリコン膜 3 4 の下層部の深い位置にまで導入してしまうと、上記したように、ホウ素等がその後の熱プロセスによってゲート絶縁膜 5 i を突き抜けて半導体基板 1 に拡散してしまう現象が生じ易くなると考えられるので、それを抑制するためである。

【0120】次いで、図 13 に示すように、ポリシリコン膜 3 4 上に、例えば T i N または窒化タングステン等からなるバリア金属膜 3 5、例えばタングステン等からなる金属膜 3 6 および例えば窒化シリコンからなる絶縁膜 6 を下層から順に堆積する。バリア金属膜 3 5 は本発明において重要な構成要件の一つである。すなわち、このバリア金属膜 3 5 は、最適な条件の厚さとして 3 n m 以上 5 n m 以下であり、高温熱処理時にタングステン膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止する機能を有している。すなわち、このバリア層がなく、直接ポリシリコン膜上にタングステンが被着された場合、後述するアニール処理 (約 800℃) でシリコンとタングステンとがシリサイド反応 (反応温度は 650℃ ~ 750℃) が生じ W S i₂ (タングステンドイシリサイド) となって抵抗が高くなり、しかも体積減少によりキャップ絶縁膜との間にすきまが生じてしまう。

【0121】続いて、図 14 に示すように、絶縁膜 6 上に形成したゲート電極形成用のフォトリソ 3 2 e をエッチングマスクとしてエッチング処理を施すことにより、ゲート電極 5 g (すなわち、ワード線 W L)、ゲート電極 8 g、10 g およびキャップ絶縁膜 6 をパターン形成する。

【0122】ゲート電極 5 g は、メモリセル選択用 MOS・FET の一部を構成し、活性領域以外の領域ではワード線 W L として機能する。このゲート電極 5 g (ワード線 W L) の幅、すなわちゲート長は、メモリセル選択用 MOS・FET の短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法 (例えば 0.24 μ m) で構成される。また、隣接する 2 本のゲート電極 5 g (ワード線 W L) の間隔は、フォトリソグラフィの解像限界で決まる最小寸法 (例えば 0.2

2 μm) で構成される。ゲート電極 8 g およびゲート電極 1 0 g は、周辺回路の n チャネル形の MOS ・ FET および p チャネル形の MOS ・ FET の各一部を構成する。

【0 1 2 3】次いで、半導体基板 1 上に n チャネル形の MOS ・ FET (メモリセル選択用 MOS ・ FET を含む) が露出するようなフォトリソグラフィを形成した後、それをマスクとして半導体基板 1 に、例えば n 形不純物の As をイオン注入する。

【0 1 2 4】続いて、その n チャネル形の MOS ・ FET 用のフォトリソグラフィを除去した後、半導体基板 1 上に p チャネル形の MOS ・ FET が露出するようなフォトリソグラフィを形成し、それをマスクとして半導体基板 1 に、例えば p 形不純物のホウ素をイオン注入する。イオン注入後約 8 0 0 °C のアニール処理が行なわれる。これらの不純物導入工程は、図 1 5 に示す低濃度領域 5 a 1, 5 b 1, 8 a 1, 8 b 1, 1 0 a 1, 1 0 b 1 を形成するための不純物導入工程である。

【0 1 2 5】次いで、図 1 6 に示すように、半導体基板 1 上に、例えば窒化シリコンからなる絶縁膜 7 を CVD 法等によって堆積した後、図 1 7 に示すように、絶縁膜 7 上に形成したフォトリソグラフィをエッチングマスクとして異方性ドライエッチング処理を施す。これにより、メモリ領域においては絶縁膜 7 を残し、周辺回路領域においてはゲート電極 8 g, 1 0 g の側面に窒化シリコン等からなるサイドウォール 9 を形成する。

【0 1 2 6】このエッチングは、ゲート絶縁膜 5 i, 8 i, 1 0 i や素子分離領域 4 に埋め込まれた絶縁膜 4 b 1, 4 b 2 の削れ量を最少とするために、酸化シリコン膜に対する窒化シリコン膜のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極 8 g, 1 0 g 上の窒化シリコン膜等からなる絶縁膜 6 の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

【0 1 2 7】続いて、半導体基板 1 上に、周辺回路領域における n チャネル形の MOS ・ FET の形成領域が露出するようなフォトリソグラフィを形成した後、そのフォトリソグラフィ、ゲート電極 8 g およびサイドウォール 9 をマスクとして、例えば n 形不純物の As をイオン注入法等によって導入する。

【0 1 2 8】続いて、半導体基板 1 上に、周辺回路領域における p チャネル MOS ・ FET の形成領域が露出するようなフォトリソグラフィを形成した後、そのフォトリソグラフィ、ゲート電極 1 0 g およびサイドウォール 9 をマスクとして、例えば p 形不純物のホウ素をイオン注入法等によって導入する。

【0 1 2 9】その後、半導体基板 1 に対して、例えば窒素ガス雰囲気中において熱処理を施すことにより、半導体基板 1 の周辺回路領域に、高濃度領域 8 a 2, 8 b 2, 1 0 a 2, 1 0 b 2 を形成する。これにより、図 1 9 に示す

ように、周辺回路用の n チャネル形の MOS ・ FET Q n および p チャネル形の MOS ・ FET Q p を形成する。

【0 1 3 0】次いで、図 1 9 に示すように、半導体基板 1 上に、例えば SiO₂ 等からなる層間絶縁膜 1 1 a を SOG 法等によって堆積する。

【0 1 3 1】続いて、この層間絶縁膜 1 1 a 上に、例えば TEOS (Tetraethoxysilane) ガスを用いたプラズマ CVD 法等によって SiO₂ 等からなる絶縁膜を堆積した後、その上部を CMP 法等によってエッチバックすることにより、図 2 0 に示すように、層間絶縁膜 1 1 a 上に層間絶縁膜 1 1 b を形成する。

【0 1 3 2】その後、その層間絶縁膜 1 1 b 上に、例えば TEOS ガスを用いたプラズマ CVD 法等によって SiO₂ 等からなる層間絶縁膜 1 1 c を形成する。この層間絶縁膜 1 1 c は、CMP 法により層間絶縁膜 1 1 b の上部に形成された損傷等を覆う機能を有しており、その上面はメモリ領域と周辺回路領域とでその高さがほぼ一致するように平坦に形成されている。

【0 1 3 3】続いて、図 2 1 に示すように、その層間絶縁膜 1 1 c 上に、プラグ用の接続孔が露出するようなフォトリソグラフィを形成する。この際、本実施の形態 1 においては、層間絶縁膜 1 1 c の上面を平坦にしているので、十分なフォトリソグラフィマージンを確保することができ、良好なパターン転写が可能である。

【0 1 3 4】その後、そのフォトリソグラフィ 3 2 g をエッチングマスクとして、プラグ用の接続孔を穿孔するためのエッチング処理を施す。本実施の形態 1 においては、そのエッチング処理を、例えば次のようにする。

【0 1 3 5】まず、図 2 1 に示すように、絶縁膜 7 やキャップ絶縁膜 6 等が表出した時点でエッチングが止まるように、SiO₂ 膜は除去されるが窒化シリコン膜は除去され難い条件でエッチング処理を施す。この際のエッチングガスとしては、例えば C₄F₈/アルゴン (Ar) 等の混合ガスを用いる。

【0 1 3 6】続いて、エッチング条件を、窒化シリコン膜は除去されるが SiO₂ 膜は除去され難い条件に変えることにより、図 2 2 に示すように、半導体基板 1 の一部が露出するようなプラグ用の接続孔 1 2 a, 1 2 b を穿孔する。これにより、フォトリソグラフィの解像限界以下の微細な径を有する接続孔 1 2 a, 1 2 b を形成することができる。この際のエッチングガスとしては、例えば CHF₃/Ar/CF₄ 等の混合ガスを用いる。

【0 1 3 7】このようなエッチング処理を行う理由は、そのようにしないと、プラグ用の接続孔 1 2 a, 1 2 b を形成するためのエッチング処理によって、そのプラグ用の接続孔 1 2 a, 1 2 b から露出する素子分離領域 4 の分離用の絶縁膜 4 b 1, 4 b 2 がエッチング除去されてしまい不良が生じるからである。

【0 1 3 8】その後、フォトリソグラフィ 3 2 g を除去した

後、接続孔12a、12bから露出する半導体基板1に、例えばn形不純物のリンをイオン注入する。これは電界緩和用の不純物導入工程である。

【0139】次いで、半導体基板1上に、例えばn形不純物を含有する低抵抗ポリシリコンをCVD法等によって堆積した後、その低抵抗ポリシリコンをエッチバックすることにより、図23に示すように、プラグ用の接続孔12a、12b内にプラグ13a、13bを形成する。

【0140】続いて、図24に示すように、半導体基板1上に、例えばSiO₂等からなる層間絶縁膜11dをCVD法等によって堆積することにより、プラグ13a、13bの上面を被覆する。

【0141】なお、図24中の符号5a2、5b2は、上記した電界緩和用の不純物導入工程によって導入されたリンを含有する高濃度領域であり、この高濃度領域5a2、5b2と低濃度領域5a1、5b1とで、メモリセル選択用MOS・FETQの半導体領域5a、5bが構成されている。

【0142】その後、図25に示すように、その層間絶縁膜11d上に、ビット線用の接続孔形成用のフォトリジスト32hを形成した後、これをエッチングマスクとして層間絶縁膜11dにプラグ13bの上面が露出するような接続孔15を穿孔する。

【0143】次いで、そのフォトリジスト32hを除去した後、図26に示すように、その層間絶縁膜11d上に、周辺回路用の接続孔形成用のフォトリジスト32iを形成し、これをエッチングマスクとして層間絶縁膜11a～11dに半導体基板1の上面（半導体領域8a、8b、10a、10b）が露出するような接続孔17を穿孔する。

【0144】続いて、フォトリジスト32iを除去した後、図27に示すように、半導体基板1上に、例えばTi膜およびTiN膜をスパッタリング法等によって下層から順に堆積し、その上に、例えばタングステン膜をCVD法等によって積み重ねて導体膜37を形成し、さらにその上に、例えば窒化シリコンからなる絶縁膜16aをCVD法等によって堆積する。

【0145】なお、図27中の符号8c、10cは、例えば導体膜37の下層のTi膜と半導体基板1との熱処理反応によって形成されたTiSix等のようなシリサイド層である。

【0146】その後、図28に示すように、絶縁膜16a上に配線形成用のフォトリジスト32jを形成し、これをエッチングマスクとして絶縁膜16aおよび導体膜37をエッチング法によってパターンニングすることにより、ビット線BLおよび第1層配線14を形成する。

【0147】次いで、フォトリジスト32jを除去した後、半導体基板1上に、例えば窒化シリコンからなる絶縁膜を堆積した後、その絶縁膜をエッチバックすること

により、図29に示すように、ビット線BLおよび第1層配線14の側面にサイドウォール16bを形成する。

【0148】続いて、図30に示すように、例えばSiO₂等からなる層間絶縁膜11eをSOG法等によって堆積することにより、ビット線BLおよび第1層配線14を被覆する。

【0149】その後、この層間絶縁膜11e上に、例えばTEOSガスを用いたプラズマCVD法等によってSiO₂等からなる絶縁膜を堆積した後、その上部をCMP法等によってエッチバックすることにより、図31に示すように、層間絶縁膜11e上に層間絶縁膜11fを形成する。

【0150】その後、その層間絶縁膜11f上に、例えばTEOSガスを用いたプラズマCVD法等によってSiO₂等からなる層間絶縁膜11gを形成する。この層間絶縁膜11gは、層間絶縁膜11fの上部にCMP法により形成された損傷等を覆う機能を有しており、層間絶縁膜11gの上面はメモリ領域と周辺回路領域とでその高さがほぼ一致するように平坦に形成されている。

【0151】続いて、図32に示すように、その層間絶縁膜11g上に、プラグ用の接続孔が露出するようなフォトリジスト32kを形成する。この際、本実施の形態1においては、層間絶縁膜11gの上面を平坦にしているので、十分なフォトリソグラフィマージンを確保することができ、良好なパターン転写が可能である。

【0152】その後、そのフォトリジスト32kをエッチングマスクとして、層間絶縁膜11d～11gに、プラグ13aの上面が露出するような接続孔18を穿孔した後、フォトリジスト32kを除去する。

【0153】この際、本実施の形態1においては、このエッチング処理に際して、SiO₂膜に対する窒化シリコン膜のエッチングレートが大きくなるような条件で行う。これにより、ビット線BLの表面に窒化シリコンからなる絶縁膜16が形成されているので、仮に接続孔18とプラグ13aとの間に相対的な位置ずれが生じ接続孔18のパターンが平面的にビット線BLに重なってしまったとしても、絶縁膜16がエッチングストップとなるので、ビット線BLが接続孔18から露出してしまうのを防止することが可能となっている。

【0154】次いで、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜をCVD法等によって堆積した後、その導体膜が接続孔18内のみに残るようにエッチバックすることにより、図33に示すように、接続孔18内にプラグ19を形成する。

【0155】続いて、図34に示すように、半導体基板1上に、例えば窒化シリコンからなる絶縁膜11hをCVD法等によって堆積した後、その上にメモリ領域を覆うようなフォトリジスト32mを形成し、それをエッチングマスクとして絶縁膜11hをエッチング法によってパターンニングする。

【0156】その後、フォトリジスト32mを除去した後、図35に示すように、半導体基板1上に、例えばTEOSガスを用いたプラズマCVD法等によってSiO₂等からなる層間絶縁膜11iを形成する。

【0157】次いで、その層間絶縁膜11i上にキャパシタ形成用のフォトリジスト32nを形成した後、それをエッチングマスクとしてフォトリジスト32nから露出する層間絶縁膜11i、11hを除去することにより、プラグ19の上面が露出するような開口部20を形成する。

【0158】続いて、図36に示すように、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜38をCVD法等によって堆積する。これにより、層間絶縁膜11iの上面および開口部20の内面に導体膜38が被着される。

【0159】その後、図37に示すように、半導体基板1上に、例えばSiO₂等からなる絶縁膜39をSOG法等によって堆積する。ここでは、その絶縁膜39の上面がほぼ平坦になる程度まで絶縁膜39を堆積する。

【0160】次いで、その絶縁膜39を、層間絶縁膜11i上の導体膜38が露出する程度までエッチング除去した後、露出した導体膜38をエッチバックすることにより、図38に示すように、開口部20内に低抵抗ポリシリコン等からなる蓄積電極21aおよびダミー蓄積電極21a1を形成する。

【0161】続いて、図39に示すように、半導体基板1上にダミー蓄積電極21a1および周辺回路領域を被覆するようなフォトリジスト32p形成した後、それをエッチングマスクとして層間絶縁膜11iをウェットエッチ法等により除去することにより、蓄積電極21aの表面を露出させる。この際、層間絶縁膜11hはウェットエッチング処理時におけるエッチングストップとして機能するとともに、蓄積電極21aを固定する部材としても機能する。

【0162】また、フォトリジスト32pの端部をメモリ領域と周辺回路領域との境界部、すなわちダミー蓄積電極21a1上に配置する。このようにすると、フォトリジスト32pの端部に合わせずれが生じた場合でも、メモリ領域の最も外側に形成される蓄積電極21aの内部に絶縁膜が残ったり、周辺回路領域の層間絶縁膜11iがエッチングされたりすることはない。

【0163】その後、フォトリジスト32pを除去した後、図40に示すように、蓄積電極21aの表面を窒化し、さらにその表面に、例えば酸化タンタル(Ta₂O₅)からなる容量絶縁膜21bを被覆する。

【0164】次いで、図41に示すように、例えばTiNからなる導体膜を、半導体基板1上に堆積した後、その導体膜を、その上面に形成したプレート電極形成用のフォトリジスト32qをエッチングマスクとしてパターンニングすることにより、プレート電極21cを形成す

る。これにより、情報蓄積用のキャパシタCを形成する。

【0165】続いて、フォトリジスト32qを除去した後、図42に示すように、例えばTEOSガスを用いたプラズマCVD法等によってSiO₂等からなる層間絶縁膜11jを半導体基板1上に形成する。これにより、プレート電極21cを被覆する。

【0166】その後、層間絶縁膜11j上に周辺回路の接続孔形成用のフォトリジスト32rを形成した後、それをエッチングマスクとして、第1層配線14bの一部が露出するような接続孔23を穿孔する。

【0167】次いで、フォトリジスト32rを除去した後、半導体基板1上に、例えばTiNおよびタングステンを下層から順にスパッタリング法等によって堆積し、これをエッチバックすることにより、図43に示すように、接続孔23内に導体膜24を埋め込む。

【0168】続いて、半導体基板1上に、例えばTiN、AlおよびTiを下層から順にスパッタリング法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより、図44に示すように、層間絶縁膜11j上に第2層配線22を形成する。

【0169】その後、第2層配線22の形成工程と同様の配線形成工程を経て、図1に示したように半導体基板1上に第3層配線25を形成してDRAMを製造する。

【0170】次に、基板電圧とメモリセル選択用MOS・FETのしきい電圧との関係を図45に示す。図45の参考例は本発明者が検討したn⁺ゲートのnチャネル形のメモリセル選択用MOS・FETの測定データである。

【0171】本実施の形態1のp⁺ゲートのnチャネル形のメモリセル選択用MOS・FETQにおいては、基板電圧の変化に対して、しきい電圧の値が安定していることがわかる。これに対して参考例の場合は、基板電圧の変化に対して、しきい電圧が大幅に変動していることがわかる。

【0172】次に、メモリセル選択用MOS・FETの蓄積ノードー基板間の印加電圧とリーク電流との関係を図46に示す。図46の参考例は本発明者が検討したn⁺ゲートのnチャネル形のメモリセル選択用MOS・FETの測定データである。

【0173】本実施の形態1のp⁺ゲートのnチャネル形のメモリセル選択用MOS・FETQにおいては、当該印加電圧に対するリーク電流量が、参考例の場合よりも小さいことがわかる。

【0174】このように本実施の形態1によれば、以下の効果を得ることが可能となる。

【0175】(1).メモリセル選択用MOS・FETQのゲート電極5gを構成する低抵抗ポリシリコンの導電形をp⁺形としたことにより、半導体基板1の不純物濃度

(すなわち、pウェル3pwmの不純物濃度：基板濃度)を上げないでも、メモリセル選択用MOS・FETQのしきい電圧を高くすることが可能となる。

【0176】(2). 上記(1)により、基板濃度に起因する基板バイアス効果を抑制することが可能となっている。このため、ワード線昇圧のための電圧を低くすることができるので、メモリセル選択用MOS・FETQのゲート絶縁膜5iを薄くすることが可能となる。

【0177】(3). 上記(2)により、周辺回路用のMOS・FETQp、Qn等のゲート絶縁膜8i、10iも薄くすることができるので、周辺回路用のMOS・FETQp、Qnの動作速度を向上させることが可能となる。

【0178】(4). メモリセル選択MOS・FETQのゲート電極5gを構成するポリシリコンをp⁺形としたことにより、メモリ領域におけるpウェル3pwpと周辺回路領域におけるpウェル3pwpとをほぼ同じ程度の低い基板濃度とした状態で、メモリセル選択用MOS・FETQのしきい電圧と、周辺回路用のMOS・FETQp、Qnのしきい電圧とをそれぞれのMOS・FETに適した値に設定することが可能となる。したがって、メモリセル選択用MOS・FETQ用の基板濃度と、周辺回路用のMOS・FETQp、Qnの基板濃度とを変えないでも、それぞれのMOS・FETQ、Qp、Qnに合ったしきい電圧に設定することが可能となる。

【0179】(5). 上記(1)により、基板濃度を低減することができるので、キャパシタCが接続される半導体領域5aの接合近傍の電界を緩和することができる。このため、蓄積ノードと半導体基板1との間のリーク電流を低減することが可能となる。

【0180】(6). 上記(1)により、基板濃度を低減することができるので、メモリセル選択用MOS・FETQのサブスレッショルド電流を低減することができる。このため、同じしきい値でもMOS・FETのリーク電流を低減することが可能となる。

【0181】(7). 上記(5)および(6)により、メモリセルのリフレッシュ特性を向上させることが可能となる。

【0182】(8). 上記(7)により、DRAMの消費電流を低減することが可能となる。

【0183】(9). 上記(1)により、基板濃度を低減することができるので、ビット線寄生容量を低減することができる。このため、DRAMの動作速度を向上させることが可能となる。

【0184】(10). ゲート電極5g中に金属膜を設けたことにより、ゲート電極5g(すなわち、ワード線WL)の配線抵抗を下げるので、DRAMのアクセス速度を向上させることが可能となる。また、ワード線WLに接続可能なメモリセルの個数を増加させることができるので、メモリセル群が配置されるメモリセル領域のサイズを縮小することができる。このため、半導体チップのサイズを縮小することができる。

【0185】(11). メモリセル選択用MOS・FETQ、周辺回路用のMOS・FETQpのゲート絶縁膜5i、10iを酸化窒化膜とした場合、メモリセル選択用MOS・FETQおよびMOS・FETQpのゲート電極5g、10g中のホウ素がゲート絶縁膜5i、10iを突き抜けて半導体基板1側に拡散してしまうのを抑制することができるので、そのホウ素の突き抜け現象に起因するMOS・FETのしきい電圧の変動を抑制することが可能となる。

10 【0186】(12). メモリセル選択用MOS・FETQ、周辺回路用のMOS・FETQn、周辺回路用のMOS・FETQpのゲート絶縁膜5i、8i、10iを酸化窒化膜とした場合、ゲート絶縁膜の膜質およびゲート絶縁膜5i、8i、10iと半導体基板1との界面準位の安定性を向上させることができるので、ゲート絶縁膜5i、8i、10iにおけるホットキャリア耐性を向上させることが可能となる。これにより、薄いゲート絶縁膜5i、8i、10iの信頼性を向上させることが可能となる。

20 【0187】(13). ゲート電極形成用のポリシリコン膜34において、メモリセル選択用MOS・FETQのゲート電極形成領域に、p形不純物を導入する際、そのp形不純物を同じフォトリソグラフをマスクとして、周辺回路用のpチャネル形のMOS・FETQpのゲート電極形成領域にも導入することにより、それらの不純物導入工程を別々に行う場合に比べて、フォトリソグラフパターンの形成工程を少なくすることができる。したがって、DRAMの製造工程の簡略化を図ることができるので、その半導体集積回路装置の開発・製造時間を短縮することができ、かつ、DRAMを有する半導体集積回路装置のコスト低減を推進することが可能となる。

30 【0188】(実施の形態2) 図47は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【0189】本実施の形態2においては、図47に示すように、メモリセル選択用MOS・FETQのゲート電極5g直下の半導体基板1の上部(チャネル形成領域)にn⁻形の半導体領域40が形成されている。このn⁻形の半導体領域40には、例えばn形不純物のリン等が低濃度(例えば10¹⁷/cm³程度)で導入されている。

40 【0190】このn⁻形の半導体領域40は、その不純物濃度や深さ等を調整することにより、基板電位を印加した場合にメモリセル選択用MOS・FETQのしきい電圧が1V前後で変動しないように微調整するための領域である。これを設けたことにより、基板バイアス効果をほとんど無くすることができるので、DRAMのリフレッシュ特性をさらに向上させることが可能となっている。

50 【0191】n⁻形の半導体領域40の形成方法として

は、例えば前記実施の形態 1 において、ゲート絶縁膜の形成工程に先立ってメモリセル選択用 MOS・FETQ のチャネル形成領域に、例えば p 形不純物のホウ素等をしきい電圧調整のために導入していた工程に代えて、例えば n 形不純物のリン等を導入することで形成すれば良い。

【0192】このように、本実施の形態 2 においては、前記実施の形態 1 で得られた効果の他に、基板バイアス効果をほとんど無くすることができるので、DRAM のリフレッシュ特性をさらに向上させることができる、という効果を得ることが可能となる。

【0193】（実施の形態 3）図 48 は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【0194】本実施の形態 3 においては、図 48 に示すように、メモリ領域における半導体基板 1 に深い n ウエル（図 1 の n ウエル 2 nw）を形成せず、メモリセル選択用 MOS・FETQ と、周辺回路用の n チャネル形の MOS・FETQn とが同一の p ウエル 3 pw 上に設けられている。それ以外は前記実施の形態 2 と同じである。なお、この場合、基板バイアス電圧は印加しない。また、本実施の形態 3 においても、前記実施の形態 1 と同様に、n- 形半導体領域 40 を設けない構造としても良い。

【0195】このような構造にできる理由は、前記実施の形態 1 で説明したように、メモリセル選択用 MOS・FETQ と周辺回路用の n チャネル形の MOS・FETQn とを同一の p ウエル 3 pw 上に配置したとしても、本実施の形態 3 においても前記実施の形態 1、2 と同様に、メモリセル選択用 MOS・FETQ のゲート電極を p⁺ 形とし、周辺回路用の n チャネル形の MOS・FETQn のゲート電極を n⁺ 形としたことにより、それぞれのしきい電圧をそれぞれに適した値に設定することができるからである。

【0196】なお、メモリセル選択用 MOS・FETQ のしきい電圧は、前記実施の形態 1 と同様に、例えば 1 V 前後であり、周辺回路用の n チャネル形の MOS・FETQn のしきい電圧は、前記実施の形態 1 と同様に、例えば 0.1 V 前後である。

【0197】このような本実施の形態 3 によれば、前記実施の形態 1、2 で得られた効果の他に、DRAM の製造プロセスを簡略化することができるので、DRAM の開発および製造時間の短縮化を推進することができ、かつ、DRAM のコスト低減を推進することが可能となる、という効果を得ることができる。

【0198】（実施の形態 4）図 49 は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【0199】本実施の形態 5 においては、メモリセル選択用 MOS・FETQ を p チャネル形の MOS・FET

で構成した。この場合、図 49 に示すように、半導体基板 1 は、n 形の Si 単結晶からなり、そのメモリ領域には、深い p ウエル 2 pw が形成されている。この p ウエル 2 pw には、例えば p 形不純物のホウ素等が導入されている。

【0200】深い p ウエル 2 pw 領域内において、その上層には n ウエル 3 nw が形成されている。この n ウエル 3 nw は、例えば n 形不純物のリンが導入される。この n ウエル 3 nw には、メモリセル選択用 MOS・FETQ のソース・ドレインを構成する半導体領域 5a、5b が形成されている。

【0201】本実施の形態 4 においては、この半導体領域 5a、5b が、例えば p 形不純物のホウ素が導入されてなる。したがって、プラグ 13a、13b、19 および蓄積電極 21a 等にも、例えば p 形不純物のホウ素が導入されている。また、メモリセル選択用 MOS・FETQ のチャネル形成領域には、p 形または n 形のいずれかの不純物によってしきい電圧の設定が行われている。

【0202】そして、本実施の形態 4 においては、メモリセル選択用 MOS・FETQ のゲート電極 5g を構成するポリシリコン膜に、例えば n 形不純物のリンまたは As が導入されている。これにより、前記実施の形態 1 と同様に、n ウエル 3 nw の n 形不純物濃度を高くすることなく、しきい電圧を上げることが可能となっている。したがって、本実施の形態 4 においても、前記実施の形態 1 で得られた (2) ~ (10) および (12) で得られた効果を得ることが可能となる。

【0203】また、特に限定されないが、本実施の形態 4 においては、周辺回路用の p チャネル形の MOS・FETQp のゲート電極 10g を構成するポリシリコン膜に、例えば n 形不純物のリンまたは As が導入されている。すなわち、本実施の形態 4 においては、半導体基板 1 上に形成された全ての MOS・FET（メモリセル選択用 MOS・FETQ を含む）のゲート電極 5g、8g、10g の導電形が全て n⁺ 形に設定されている。これにより、現状の DRAM のプロセスのまま、本実施の形態 4 の DRAM を製造することが可能となっている。

【0204】（実施の形態 5）図 50 は本発明の他の実施の形態である半導体集積回路装置の回路構成の説明図、図 51 は図 50 の論理集積回路部における要部断面図、図 52 ~ 図 54 は図 50 の半導体集積回路装置の製造工程中における要部断面図である。

【0205】本実施の形態 5 の半導体集積回路装置は、図 50 に示すように、CPU（情報処理部）41、DRAM で構成されたメモリ部 42、DRAM 制御用の周辺回路ブロック 43、論理集積回路部 44 およびアナログ回路部 45 を同一の半導体チップ（半導体基板 1）の主面に形成したワンチップ形のマイクロコンピュータである。

【0206】メモリ部 42 の断面構造は前記実施の形態

1～4のいずれかと同一なので説明を省略し、ここでは、論理集積回路部44の断面構造を図51によって説明する。

【0207】論理集積回路部44におけるpウェル3pwa上にはnチャネル形のMOS・FETQnaが形成されている。nチャネル形のMOS・FETQnaは、pウェル3pwaの上部に互いに離間して形成された一対の半導体領域46a、46bと、半導体基板1上に形成されたゲート絶縁膜46iと、その上に形成されたゲート電極46gとを有している。

【0208】半導体領域46a、46bは、nチャネル形のMOS・FETQnaのソース・ドレインを形成するための領域であり、この半導体領域46a、46bの間においてゲート電極46gの直下にnチャネル形のMOS・FETQnaのチャネル領域が形成される。

【0209】この半導体領域46a、46bはLDD (Lightly Doped Drain) 構造となっている。すなわち、半導体領域46a、46bは、それぞれ低濃度領域46a1、46b1と、高濃度領域46a2、46b2とを有している。この低濃度領域46a1、46b1は、チャネル領域側に形成されており、高濃度領域46a2、46b2は、その外側に配置されている。

【0210】この低濃度領域46a1、46b1には、例えばn形不純物のAsが導入されている。また、高濃度領域46a2、46b2には、例えばn形不純物のAsが導入されているが、その不純物濃度は低濃度領域46a1、46b1中の不純物濃度よりも高く設定されている。なお、半導体領域46a、46bの上層部には、例えばチタンシリサイド (TiSix) 等からなるシリサイド層46cが形成されている。

【0211】ゲート絶縁膜46iは、例えばSiO₂からなり、DRAMのメモリセル選択用MOS・FETおよびDRAMの周辺回路用のMOS・FETのゲート絶縁膜と同時に形成されている。このゲート絶縁膜46iも前記実施の形態1と同様に、例えば酸窒化膜としても良い。

【0212】また、ゲート電極46gは、例えば低抵抗ポリシリコン膜、TiN膜およびタングステン膜が下層から順に堆積されてなる。ゲート電極形成用の低抵抗ポリシリコン膜には、例えばn形不純物のリン等が導入されている。ゲート電極46gの抵抗は、最上層のタングステン膜によって下げられている。これにより、論理集積回路のアクセス速度を向上させることが可能となっている。

【0213】このゲート電極46gの上面には、例えばSiO₂等からなる絶縁膜を介して、例えば窒化シリコンからなるキャップ絶縁膜6が形成されている。なお、キャップ絶縁膜6の下層の絶縁膜はキャップ絶縁膜6からの応力を緩和するためのものである。

【0214】また、このキャップ絶縁膜6およびゲート

電極46gの側面には、例えば窒化シリコン等からなるサイドウォール9が形成されている。なお、このサイドウォール9は、主として上記した低濃度領域46a1、46b1と高濃度領域46a2、46b2とを半導体基板1上に形成するためのイオン注入用のマスクとして用いられている。

【0215】また、論理集積回路部44におけるnウェル3nwa上にはpチャネル形のMOS・FETQpaが形成されている。pチャネル形のMOS・FETQpaは、nウェル3nwaの上部に互いに離間して形成された一対の半導体領域47a、47bと、半導体基板1上に形成されたゲート絶縁膜47iと、その上に形成されたゲート電極47gとを有している。

【0216】半導体領域47a、47bは、pチャネル形のMOS・FETQpのソース・ドレインを形成するための領域であり、この半導体領域47a、47bの間においてゲート電極47gの直下にpチャネル形のMOS・FETQpのチャネル領域が形成される。

【0217】この半導体領域47a、47bはLDD (Lightly Doped Drain) 構造となっている。すなわち、半導体領域47a、47bは、それぞれ低濃度領域47a1、47b1と、高濃度領域47a2、47b2とを有している。この低濃度領域47a1、47b1は、チャネル領域側に形成されており、高濃度領域47a2、47b2はその外側に配置されている。

【0218】低濃度領域47a1、47b1には、例えばp形不純物のホウ素が導入されている。また、高濃度領域47a2、47b2には、例えばp形不純物のホウ素が導入されているが、その不純物濃度は低濃度領域47a1、47b1中の不純物濃度よりも高く設定されている。なお、半導体領域47a、47bの上層部には、例えばチタンシリサイド (TiSix) 等からなるシリサイド層47cが形成されている。

【0219】ゲート絶縁膜47iは、例えばSiO₂からなり、DRAMのメモリセル選択用MOS・FET、DRAMの周辺回路用のMOS・FETおよび論理集積回路部44用のnチャネル形のMOS・FETQnaのゲート絶縁膜と同時に形成されている。このゲート絶縁膜47iも前記実施の形態1と同様に、例えば酸窒化膜としても良い。

【0220】また、ゲート電極47gは、例えば低抵抗ポリシリコン膜、TiN膜およびタングステン膜が下層から順に堆積されて形成されている。ゲート電極形成用の低抵抗ポリシリコン膜には、例えばp形不純物のホウ素が導入されている。ゲート電極47gの抵抗は、最上層のタングステン膜によって下げられている。これにより、DRAMのアクセス速度を向上させることが可能となっている。

【0221】このゲート電極47gの上面には、例えばSiO₂等からなる絶縁膜を介して、例えば窒化シリコ

ンからなるキャップ絶縁膜 6 が形成されている。なお、キャップ絶縁膜 6 の下層の絶縁膜はキャップ絶縁膜 6 からの応力を緩和するためのものである。

【0222】また、このキャップ絶縁膜 6 およびゲート電極 47g の側面には、例えば窒化シリコンからなるサイドウォール 9 が形成されている。なお、このサイドウォール 9 は、主として上記した低濃度領域 47a1, 47b1 と高濃度領域 47a2, 47b2 とを半導体基板 1 上に形成するためのイオン注入用のマスクとして用いられている。

【0223】論理集積回路部 44 の第 1 層配線 14 は、ビット線 BL と同様に、例えば Ti 膜、TiN 膜およびタングステン膜が下層から順に堆積されてなり、その表面（上面および側面）には、例えば窒化シリコンからなる絶縁膜 16 が被覆されている。

【0224】このうち、第 1 層配線 14d は、層間絶縁膜 11a ~ 11d に穿孔された接続孔 17 を通じて n チャネル形の MOS・FETQna の半導体領域 46a と電気的に接続されている。また、第 1 層配線 14e は、層間絶縁膜 11a ~ 11d も穿孔された接続孔 17 を通じて n チャネル形の MOS・FETQna の半導体領域 46b および p チャネル形の MOS・FETQpa の半導体領域 47a と電気的に接続されている。さらに、第 1 層配線 14f は、層間絶縁膜 11a ~ 11d に穿孔された接続孔 17 を通じて p チャネル形の MOS・FETQpa の半導体領域 47b と電気的に接続されている。

【0225】第 2 層配線 22 は、例えば TiN 膜、アルミニウム (Al) 膜および Ti 膜が下層から順に堆積されてなる。論理集積回路部 44 における第 2 層配線 22c は、層間絶縁膜 11e ~ 11g, 11i, 11j および絶縁膜 16 に穿孔された接続孔 23 内の導体膜 24 を通じて第 1 層配線 14b と電気的に接続されている。この導体膜 24 は、例えば TiN 膜、Ti 膜およびタングステン膜が下層から順に堆積されてなる。

【0226】また、論理集積回路部 44 における第 3 層配線 25d は、層間絶縁膜 11k, 11m, 11n に穿孔された接続孔 28 内の導体膜 29 を通じて第 2 層配線 22c と電気的に接続されている。導体膜 29 は、例えば TiN 膜、Ti 膜およびタングステン膜が下層から順に堆積されてなる。

【0227】次に、本実施の形態 2 の半導体集積回路装置の製造方法を図 52 ~ 図 54 によって説明する。なお、前記実施の形態 1 の説明で用いた図 9 までは前記実施の形態 1 と同じなので、その説明は省略する。

【0228】まず、前記実施の形態 1 と同様、図 52 に示すように、半導体基板 1 上に、ポリシリコン膜 34 を CVD 法等によって堆積する。

【0229】続いて、半導体基板 1 上に形成される MOS・FET のゲート電極における導電形を設定するための不純物導入工程に移行する。

【0230】すなわち、図 53 に示すように、ポリシリコン膜 34 上に、メモリ領域および p チャネル形の MOS・FET 形成領域を被覆するようなフォトリソグレイスト 32s を形成した後、これをマスクとして、例えば n 形不純物のリンまたはヒ素 (As) をポリシリコン膜 34 にイオン注入する。

【0231】続いて、フォトリソグレイスト 32s を除去した後、図 54 に示すように、メモリセル選択用 MOS・FET 形成領域、周辺回路領域における p チャネル形の MOS・FET 形成領域および論理集積回路部 44 における p チャネル形の MOS・FET 形成領域が露出するようなフォトリソグレイスト 32t を形成した後、これをマスクとして、例えば p 形不純物のホウ素または BF₂ をポリシリコン膜 34 にイオン注入する。

【0232】これ以降は、前記実施の形態 1 の説明で用いた図 14 以降の工程と同じなので説明を省略する。

【0233】このように、本実施の形態 5 においては、前記実施の形態 1 で得られた効果の他に以下の効果を得ることが可能となる。

【0234】(1). DRAM の動作速度を向上させることができるので、この DRAM を有するワンチップ形のマイクロコンピュータの動作速度を向上させることが可能となる。

【0235】(2). DRAM の周辺回路領域および論理集積回路部 44 の p チャネル形の MOS・FET のゲート電極に p⁺ 形不純物を導入する際に同時に、DRAM のメモリ部 41 におけるメモリセル選択用 MOS・FET のゲート電極に p⁺ 形不純物を導入することにより、そのメモリセル選択用 MOS・FET のゲート電極に p⁺ 形不純物を導入するために特別にフォトリソグレイストパターンを形成する場合に比べて、フォトリソグレイスト膜の塗布、露光、ベークおよび現像等の一連のフォトリソグラフィ工程を低減することが可能となる。

【0236】(3). 上記 (1) により、DRAM の周辺回路領域および論理集積回路部 44 の p チャネル形の MOS・FET のゲート電極に p⁺ 形不純物を導入する工程と、DRAM のメモリ部 41 におけるメモリセル選択用 MOS・FET のゲート電極に p⁺ 形不純物を導入する工程とで別々のフォトマスクを用いる場合よりもフォトマスクの枚数を低減することが可能となる。

【0237】(4). 上記 (2) により、フォトマスク設計のためのレイアウト工数を削減することが可能となる。

【0238】(5). 上記 (2) により、メモリ部 41 と論理集積回路部 44 とを同一の半導体基板 1 上に設けてなる DRAM を有するワンチップ形のマイクロコンピュータの製造工程の統一化を実現することが可能となる。

【0239】(6). 上記 (2) 、(3) 、(4) により、DRAM を有するワンチップ形のマイクロコンピュータの製造工程を簡略化することができるので、その開発・製造時

間を短縮することが可能となる。

【0240】(7). 上記(7)により、DRAMを有するワンチップ形のマイクロコンピュータのコスト低減を推進することが可能となる。

【0241】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0242】例えば前記実施の形態1～5においては、メモリセル選択用MOS・FETおよび半導体基板上のMOS・FETのゲート電極をポリシリコン膜上に金属膜を積み重ねてなる構造とした場合について説明したが、これに限定されるものではなく、例えばポリシリコンの単体膜またはポリシリコン膜上にタングステンシリサイド等のようなシリサイド膜を積み重ねてなる構造としても良い。

【0243】また、前記実施の形態1～5においては、ビット線の上層に情報蓄積用容量素子を設けた場合について説明したが、これに限定されるものではなく、ビット線の下層に情報蓄積用容量素子を設ける構造としても良い。

【0244】また、前記実施の形態1～5においては、情報蓄積用容量素子をクラウン形状とした場合について説明したが、これに限定されるものではなく、例えばフィン形状等でも良い。

【0245】また、前記実施の形態1～5においては、ビット線の表面にも窒化膜を設けた場合について説明したが、これに限定されるものではなく、ビット線の表面を窒化膜で覆わない構造としても良い。

【0246】また、前記実施の形態1～5においては、半導体基板としてSi単結晶単体からなる基板を用いた場合について説明したが、これに限定されるものではなく、例えば絶縁膜上に薄い半導体層を設けてなるSOI (Silicon On Insulator) 基板を用いても良い。

【0247】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である256M・DRAM技術等に適用した場合について説明したが、それに限定されるものではなく、例えば64M・DRAM技術等にも適用できる。

【0248】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0249】(1). 本発明の半導体集積回路装置によれば、メモリセル選択用MISトランジスタのゲートポリシリコン電極（ゲート絶縁膜に接したポリシリコン）の導電形を、前記メモリセル選択用MISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形としたことにより、半導体基板の不純物濃度を上げないでも、メモリセル選択用ISトランジスタのしきい電

圧を高くすることが可能となる。

【0250】(2). 上記(1)により、半導体基板の不純物濃度に起因する基板バイアス効果を抑制することができるので、ワード線昇圧のための電圧を低くすることができるので、メモリセル選択用MISトランジスタのゲート絶縁膜を薄くすることが可能となる。

【0251】(3). 上記(2)により、周辺回路用のMISトランジスタのゲート絶縁膜も薄くすることができるので、周辺回路用のMISトランジスタの動作速度を向上させることが可能となる。

【0252】(4). メモリセル選択用MISトランジスタのゲート電極の導電形を、前記メモリセル選択用MISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形としたことにより、メモリ領域における半導体領域と周辺回路領域における半導体領域とをほぼ同じ程度の低い基板濃度とした状態で、メモリセル選択用MISトランジスタのしきい電圧と、周辺回路用のMISトランジスタのしきい電圧とをそれぞれのMISトランジスタに適した値に設定することが可能となる。したがって、メモリセル選択用MISトランジスタの形成領域の不純物濃度と、周辺回路用のMISトランジスタの不純物濃度とを変えないでも、それぞれのMISトランジスタに合ったしきい電圧に設定することが可能となる。

【0253】(5). 上記(1)により、半導体基板の不純物濃度を低減することができるので、メモリセル選択用MISトランジスタにおいて情報蓄積用容量素子が接続される半導体領域の接合近傍の電界を緩和することができる。このため、蓄積ノードと半導体基板との間のリーク電流を低減することが可能となる。

【0254】(6). 上記(1)により、半導体基板の不純物濃度を低減することができるので、メモリセル選択用MISトランジスタのサブスレッショルド電流を低減することができる。このため、同じしきい値でもメモリセル選択用MISトランジスタのリーク電流を低減することが可能となる。

【0255】(7). 上記(5) および(6)により、メモリセルのリフレッシュ特性を向上させることが可能となる。

【0256】(8). 上記(7)により、DRAMを有する半導体集積回路装置の消費電流を低減することが可能となる。

【0257】(9). 上記(1)により、半導体基板の不純物濃度を低減することができるので、ビット線寄生容量を低減することができる。そして、ワード線をポリメタルゲートとすることでそのワード線の低抵抗化が図れる。このため、DRAMを有する半導体集積回路装置の動作速度を向上させることが可能となる。

【0258】(10). 本発明の半導体集積回路装置は、メモリセル選択用MISトランジスタにおけるソース・ドレイン用の半導体領域の導電形がn形であり、前記メモ

リセル選択用MISトランジスタにおけるゲート電極の導電形がp形であり、前記メモリセル選択用MISトランジスタのゲート絶縁膜を酸化窒化膜としたことにより、メモリセル選択用MISトランジスタのゲート電極に導入されたp形不純物がゲート絶縁膜を突き抜け難くすることができるので、その突き抜け現象に起因するメモリセル選択用MISトランジスタの特性不良を抑制することができる。また、ゲート絶縁膜を酸化窒化膜としたことにより、ゲート絶縁膜のホットキャリア耐性を向上させることができる。したがって、pゲート電極のメモリセル選択用MISトランジスタの信頼性を向上させることが可能となる。

【0259】(11). 本発明の半導体集積回路装置の製造方法によれば、メモリセル選択用MISトランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるDRAMを半導体基板上に有する半導体集積回路装置の製造方法であって、半導体基板上に堆積されたゲート電極形成用の多結晶シリコン膜において、前記メモリセル選択用MISトランジスタのゲート電極形成領域に、前記メモリセル選択用MISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形の不純物を導入する工程を有し、前記多結晶シリコン膜におけるゲート電極形成領域への不純物の導入工程に際して、前記不純物を、前記多結晶シリコン膜において前記メモリセル選択用MISトランジスタ以外の他のMISトランジスタのゲート電極形成領域にも同時に導入することにより、それらの不純物導入工程を別々に行う場合に比べて、フォトリソパターンの形成工程を少なくすることができる。したがって、DRAMを有する半導体集積回路装置の製造工程の簡略化を図ることができるので、その半導体集積回路装置の開発・製造時間を短縮することができ、かつ、DRAMを有する半導体集積回路装置のコスト低減を推進することが可能となる。

【0260】(12). 上記(11)により、DRAMと論理回路とを同一半導体基板上に有する半導体集積回路装置の製造プロセス上の統一化を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図3】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図4】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図5】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図6】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図7】図1の半導体集積回路装置の製造工程中にお

る要部断面図である。

【図8】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図9】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図10】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図11】図1の半導体集積回路装置の製造工程中における要部断面図である。

10 【図12】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図13】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図14】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図15】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図16】図1の半導体集積回路装置の製造工程中における要部断面図である。

20 【図17】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図18】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図19】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図20】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図21】図1の半導体集積回路装置の製造工程中における要部断面図である。

30 【図22】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図23】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図24】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図25】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図26】図1の半導体集積回路装置の製造工程中における要部断面図である。

40 【図27】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図28】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図29】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図30】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図31】図1の半導体集積回路装置の製造工程中における要部断面図である。

50 【図32】図1の半導体集積回路装置の製造工程中にお

ける要部断面図である。

【図 3 3】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 3 4】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 3 5】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 3 6】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 3 7】図 1 の半導体集積回路装置の製造工程における要部断面図である。 10

【図 3 8】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 3 9】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 4 0】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 4 1】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 4 2】図 1 の半導体集積回路装置の製造工程における要部断面図である。 20

【図 4 3】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 4 4】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 4 5】基板電圧とメモリセル選択用 M I S ・ F E T のしきい電圧との関係を図 1 の半導体集積回路装置と本発明者が検討した n^+ ゲートの n チャネル形のメモリセル選択用 M I S ・ F E T とで比較して示したグラフ図である。

【図 4 6】蓄積ノードー基板間の印加電圧とリーク電流との関係を図 1 の半導体集積回路装置と本発明者が検討した n^+ ゲートの n チャネル形のメモリセル選択用 M I S ・ F E T とで比較して示したグラフ図である。

【図 4 7】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図 4 8】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図 4 9】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図 5 0】本発明の他の実施の形態である半導体集積回路装置の回路構成を説明するための説明図である。

【図 5 1】図 5 0 の半導体集積回路装置の論理集積回路部の要部断面図である。

【図 5 2】図 5 0 の半導体集積回路装置の製造工程における要部断面図である。

【図 5 3】図 5 0 の半導体集積回路装置の製造工程における要部断面図である。

【図 5 4】図 5 0 の半導体集積回路装置の製造工程における要部断面図である。 50

【符号の説明】

- 1 半導体基板
- 2 n w 深い n ウエル
- 3 p w m p ウエル
- 3 p w p p ウエル
- 3 n w p n ウエル
- 3 p w a p ウエル
- 3 n w a n ウエル
- 4 素子分離領域
- 4 a 分離溝
- 4 b 1, 4 b 2 分離用の絶縁膜
- 5 a, 5 b 半導体領域
- 5 i ゲート絶縁膜
- 5 g ゲート電極
- 6 キャップ絶縁膜
- 7 絶縁膜
- 8 a, 8 b 半導体領域
- 8 a 1, 8 b 1 低濃度領域
- 8 a 2, 8 b 2 高濃度領域
- 8 c シリサイド層
- 8 i ゲート絶縁膜
- 8 g ゲート電極
- 9 サイドウォール
- 1 0 a, 1 0 b 半導体領域
- 1 0 a 1, 1 0 b 1 低濃度領域
- 1 0 a 2, 1 0 b 2 高濃度領域
- 1 0 c シリサイド層
- 1 0 i ゲート絶縁膜
- 1 0 g ゲート電極
- 3 0 1 1 a ~ 1 1 n 層間絶縁膜
- 1 2 a, 1 2 b 接続孔
- 1 3 a, 1 3 b プラグ
- 1 4, 1 4 a ~ 1 4 c 第 1 層配線
- 1 5 接続孔
- 1 6 絶縁膜
- 1 7 接続孔
- 1 8 接続孔
- 1 9 プラグ
- 2 0 開口部
- 4 0 2 1 a 蓄積電極
- 2 1 b 容量絶縁膜
- 2 1 c プレート電極
- 2 2, 2 2 a, 2 2 b 第 2 層配線
- 2 3 接続孔
- 2 4 導体膜
- 2 5, 2 5 a ~ 2 5 c 第 3 層配線
- 2 6 接続孔
- 2 7 導体膜
- 2 8 接続孔
- 5 0 2 9 導体膜

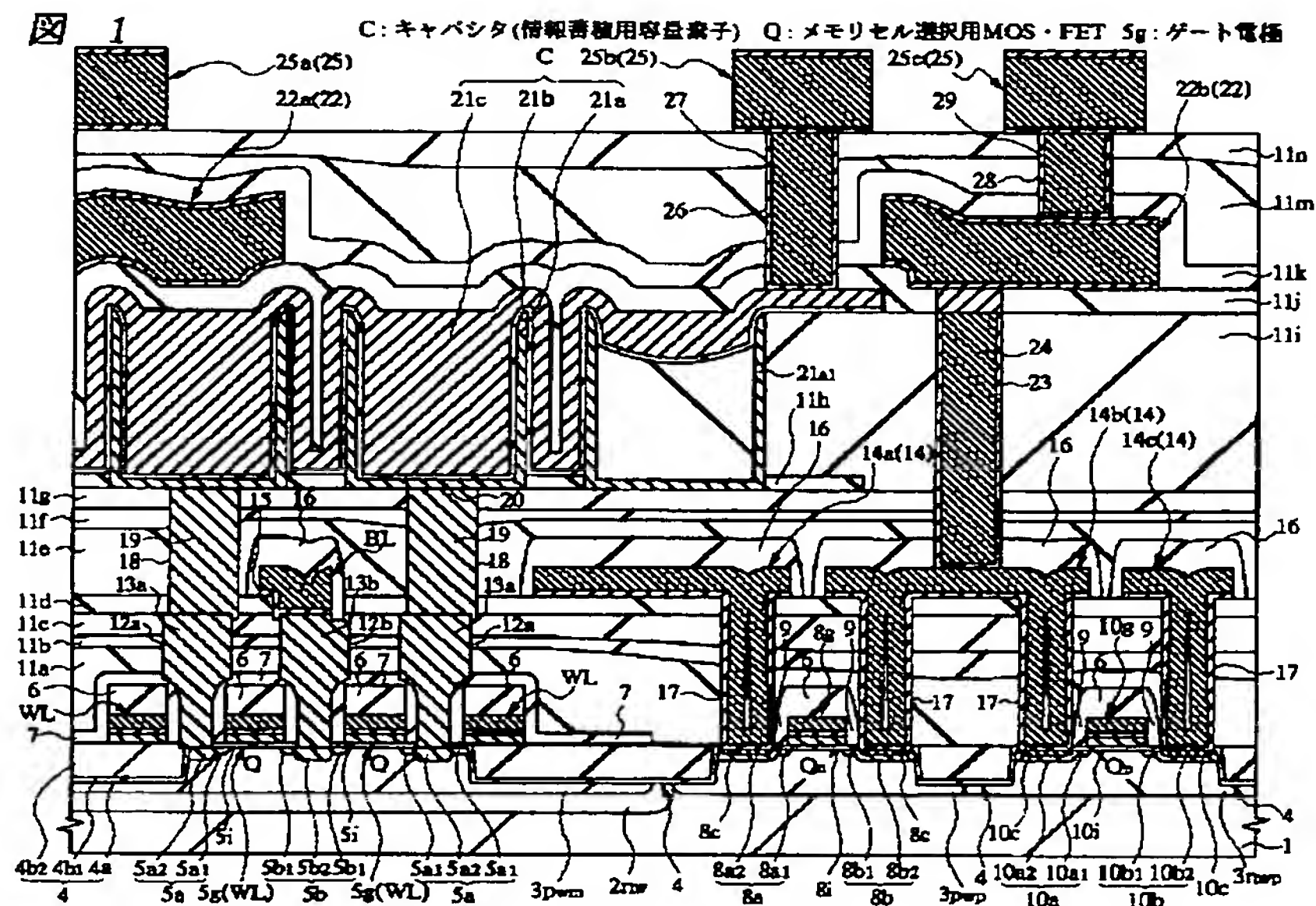
41

- 30 パッド膜
- 31 耐酸化性膜
- 32 a ~ 32 x フォトレジスト
- 33 絶縁膜
- 33 a 絶縁膜
- 34 ポリシリコン膜
- 35 バリア金属膜
- 36 金属膜
- 37 導体膜
- 38 導体膜
- 39 絶縁膜
- 40 n-形半導体領域 (しきい電圧微調整用の半導体領域)
- 41 CPU
- 42 メモリ部
- 43 周辺回路ブロック
- 44 論理集積回路部
- 45 アナログ回路部
- 46 a, 46 b 半導体領域

42

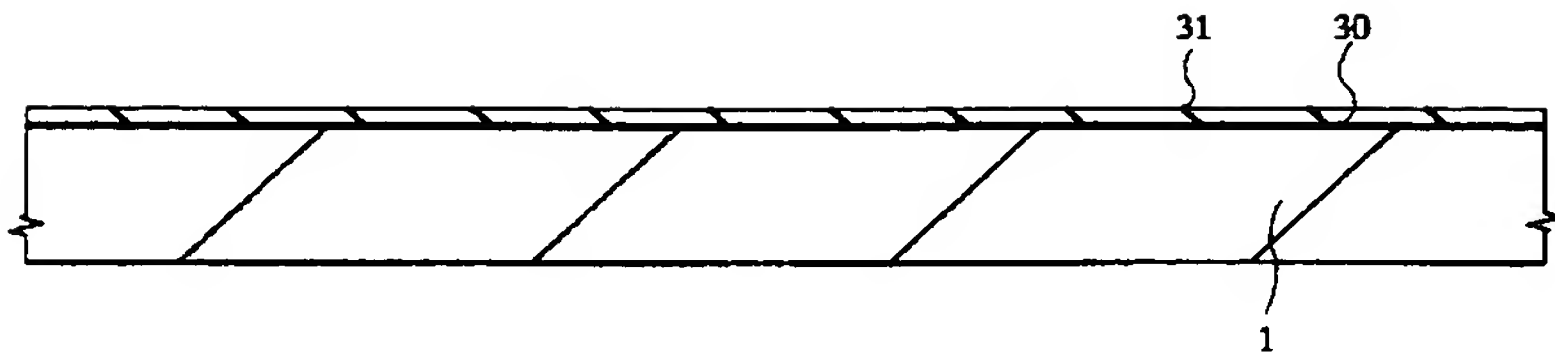
- 46 a 1, 46 b 1 低濃度領域
- 46 a 2, 46 b 2 高濃度領域
- 46 c シリサイド層
- 46 i ゲート絶縁膜
- 46 g ゲート電極
- 47 a, 47 b 半導体領域
- 47 a 1, 47 b 1 低濃度領域
- 47 a 2, 47 b 2 高濃度領域
- 47 c シリサイド層
- 10 47 i ゲート絶縁膜
- 47 g ゲート電極
- Q メモリセル選択用MOS・FET
- C キャパシタ (情報蓄積用容量素子)
- Qp pチャネル形のMOS・FET
- Qpa pチャネル形のMOS・FET
- Qn nチャネル形のMOS・FET
- Qna nチャネル形のMOS・FET
- WL ワード線
- BL ビット線

【図 1】



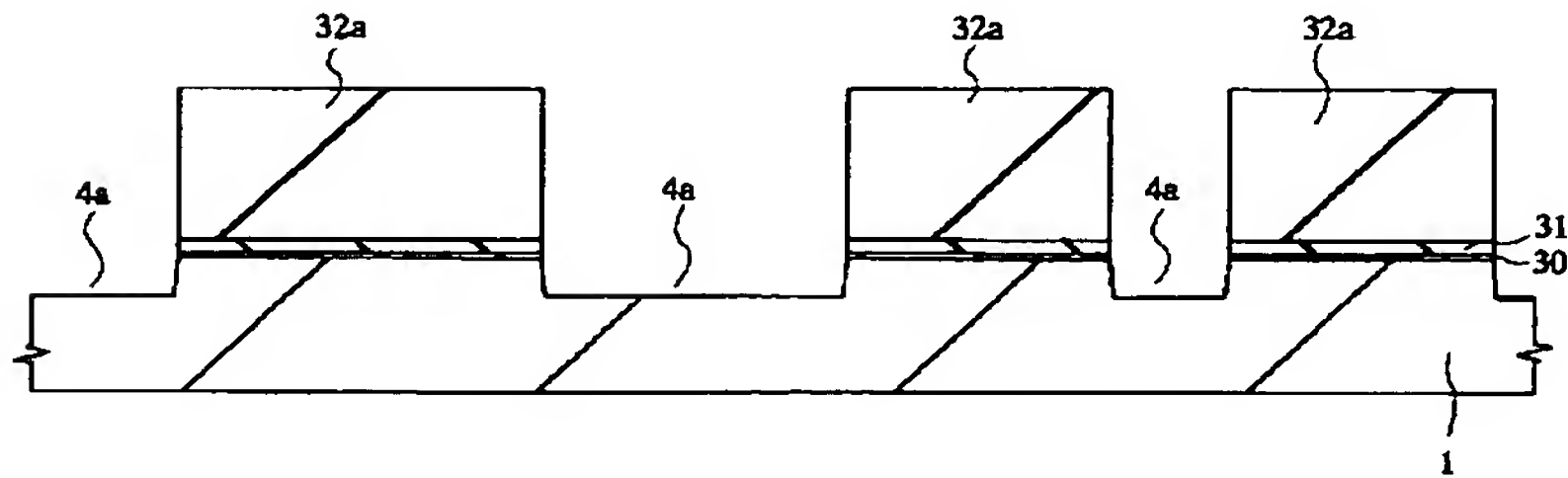
【図 2】

図 2



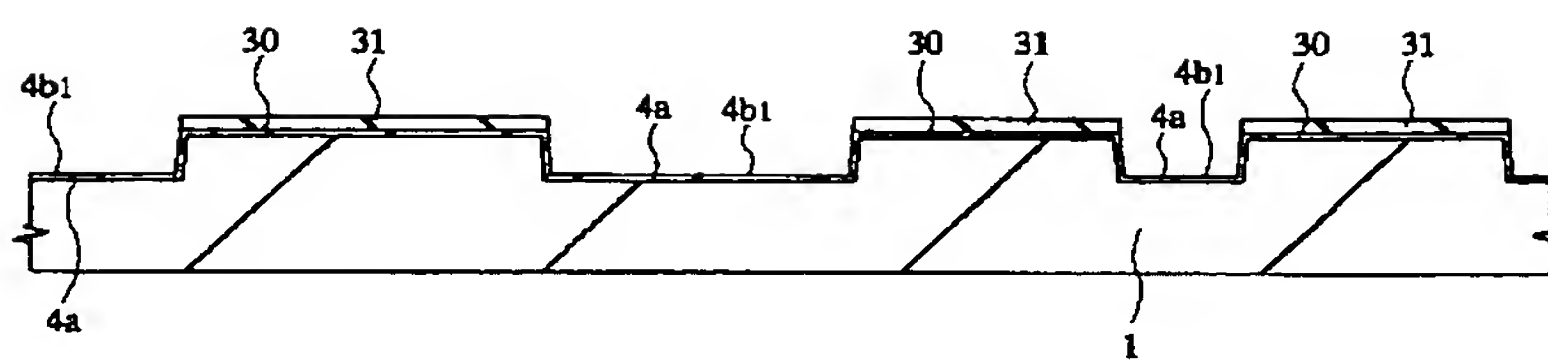
【図 3】

図 3



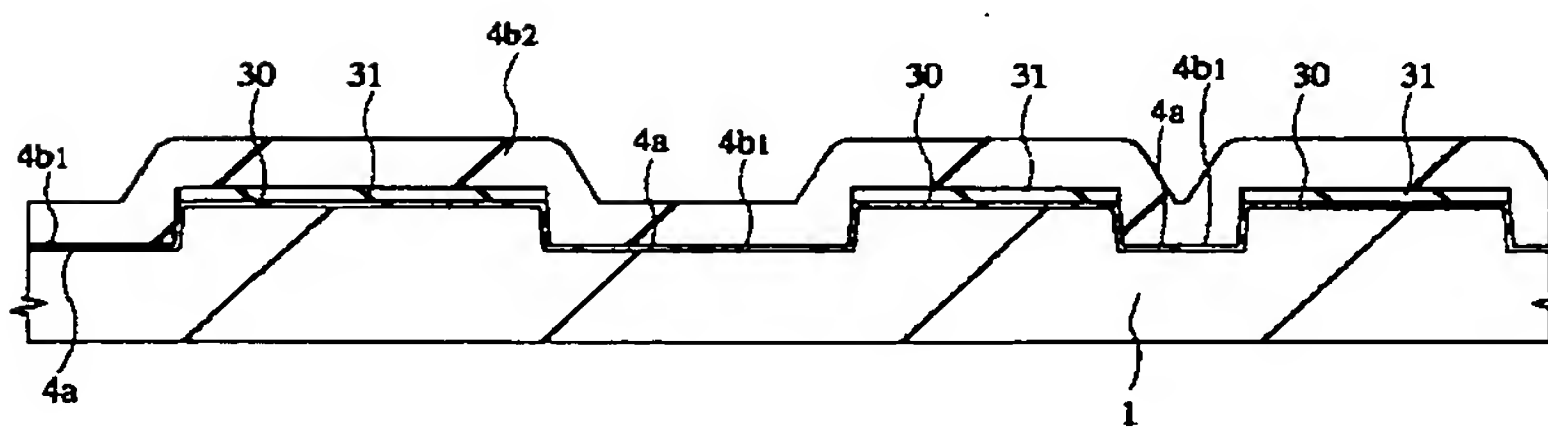
【図 4】

図 4



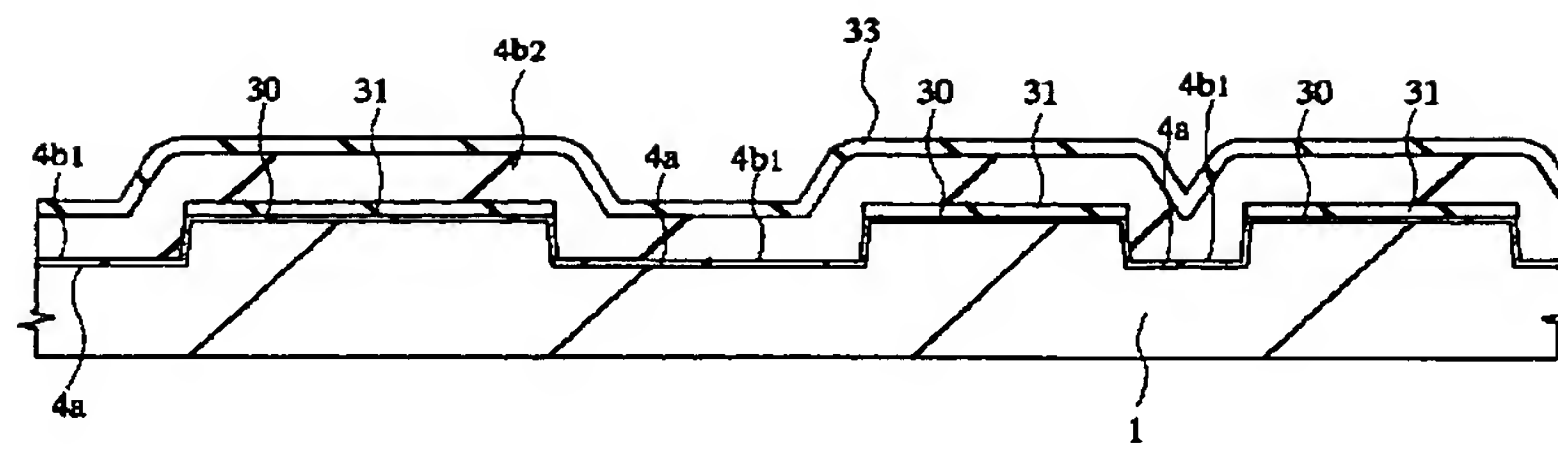
【図 5】

図 5



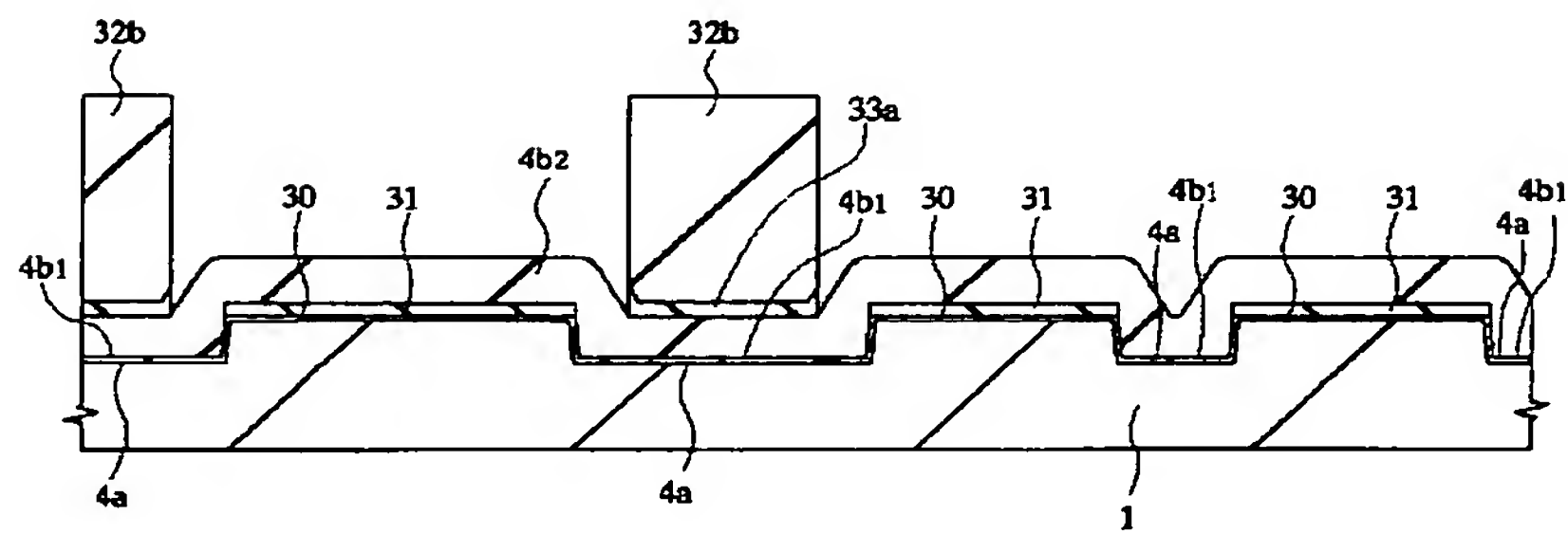
【図 6】

図 6



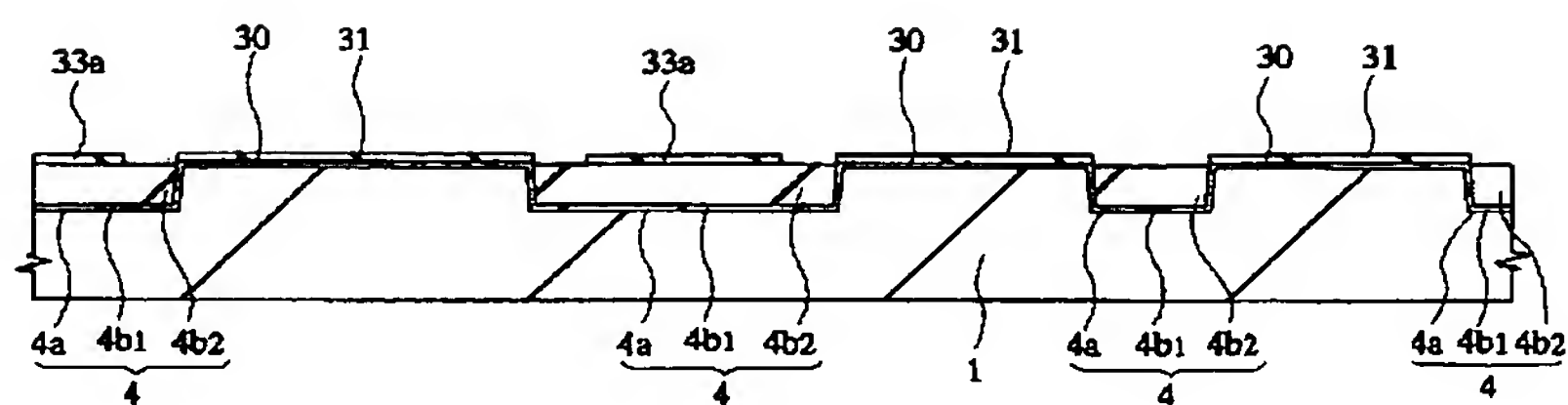
【図 7】

図 7



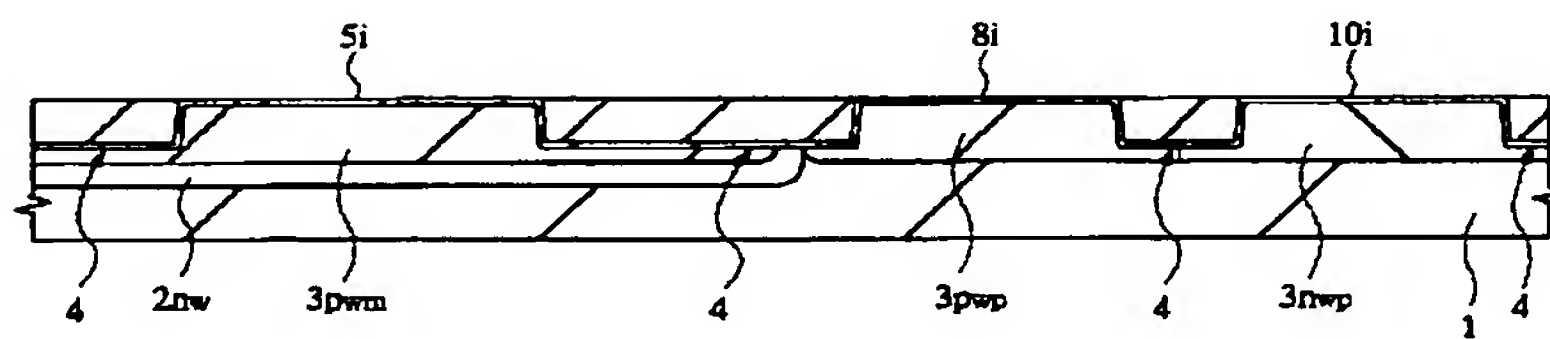
【図 8】

図 8



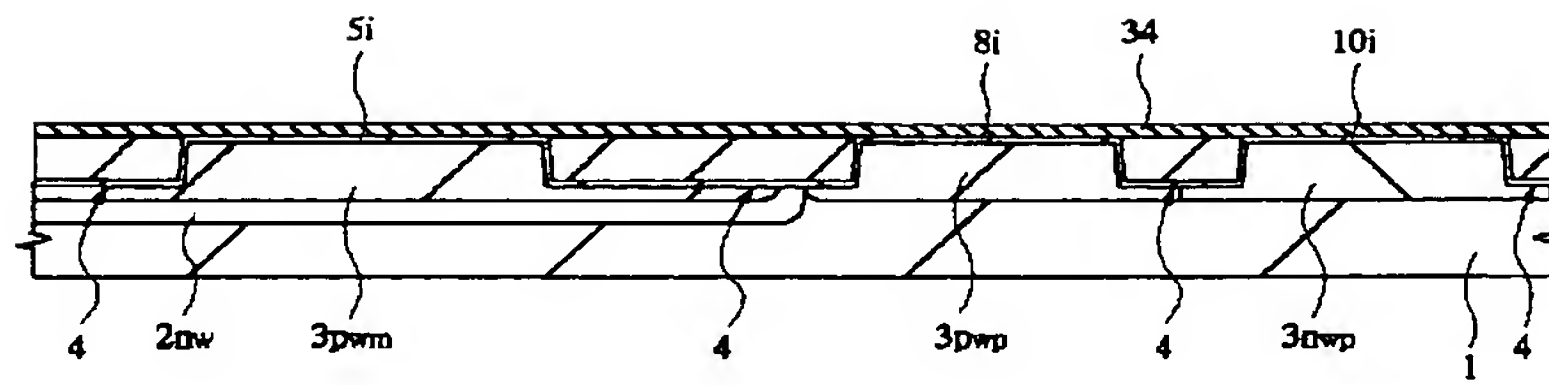
【図 9】

図 9



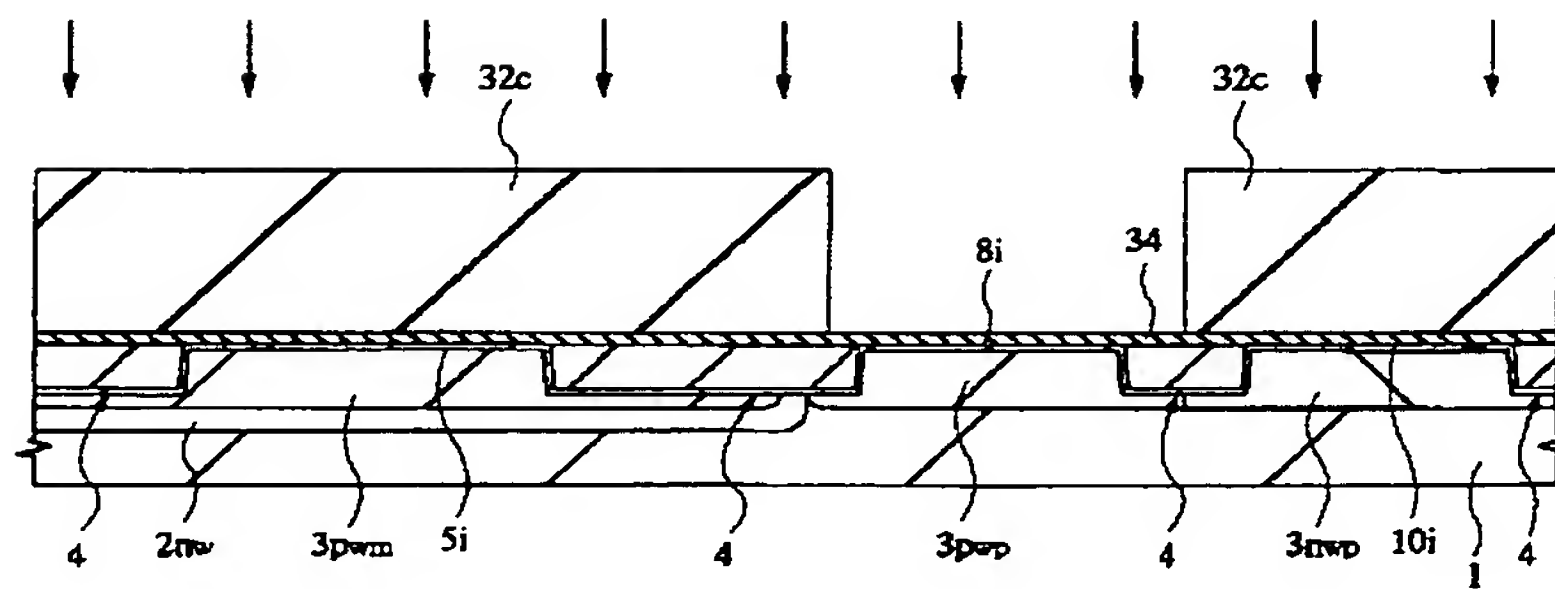
【図 1 0】

図 10



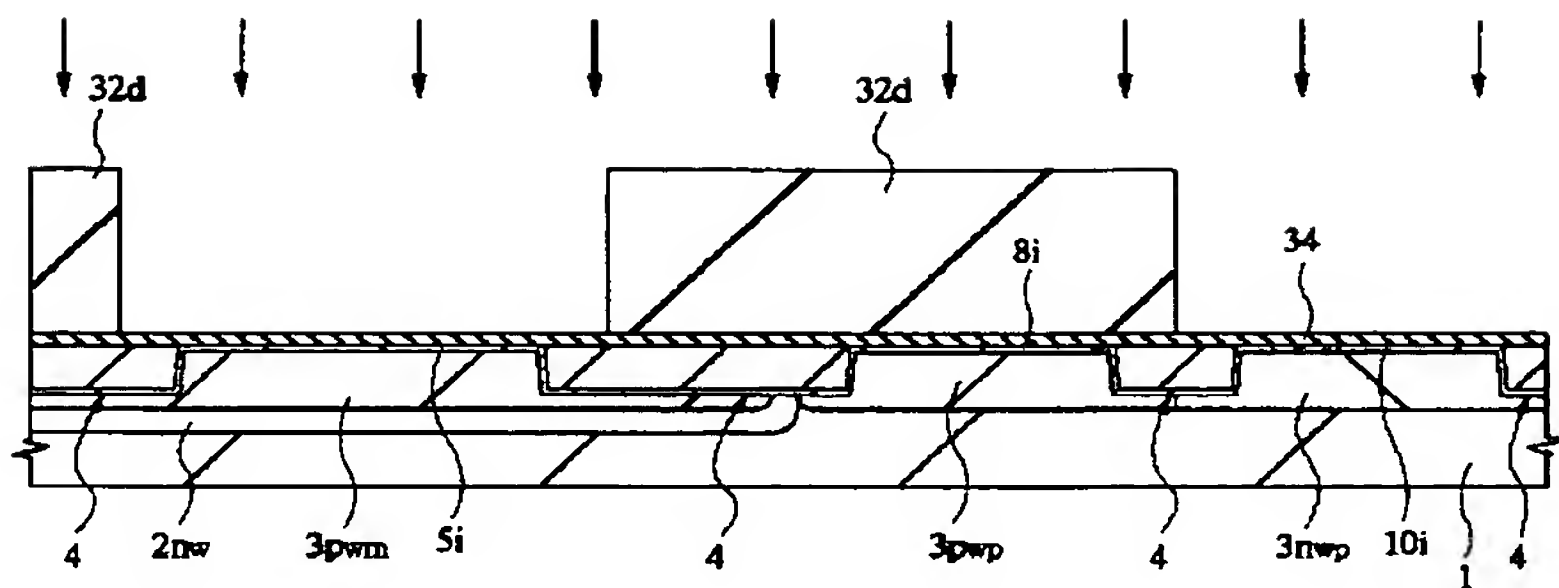
【図 1 1】

図 11



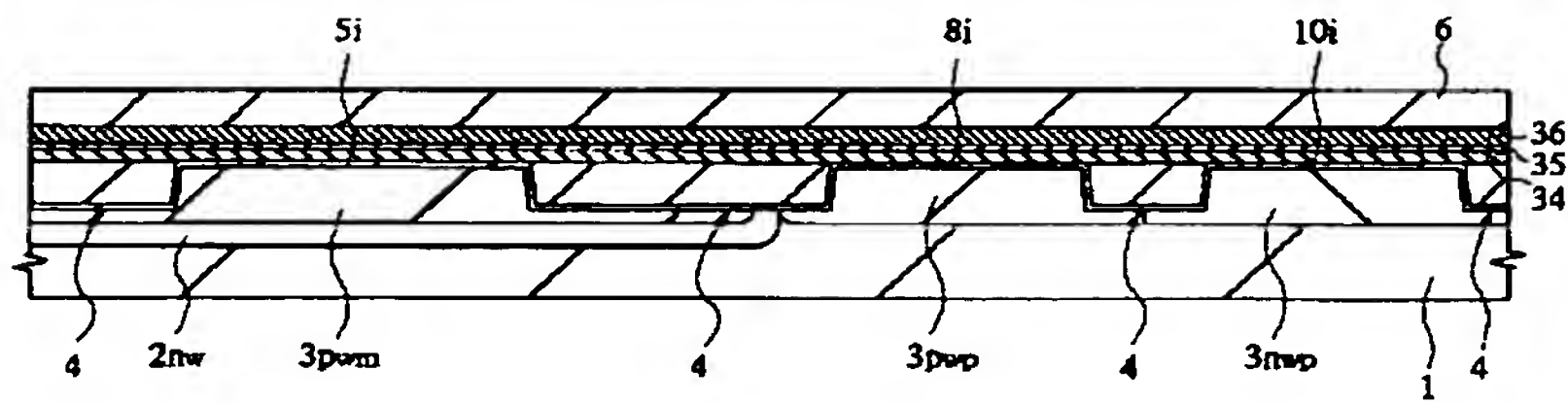
【図 1 2】

図 12

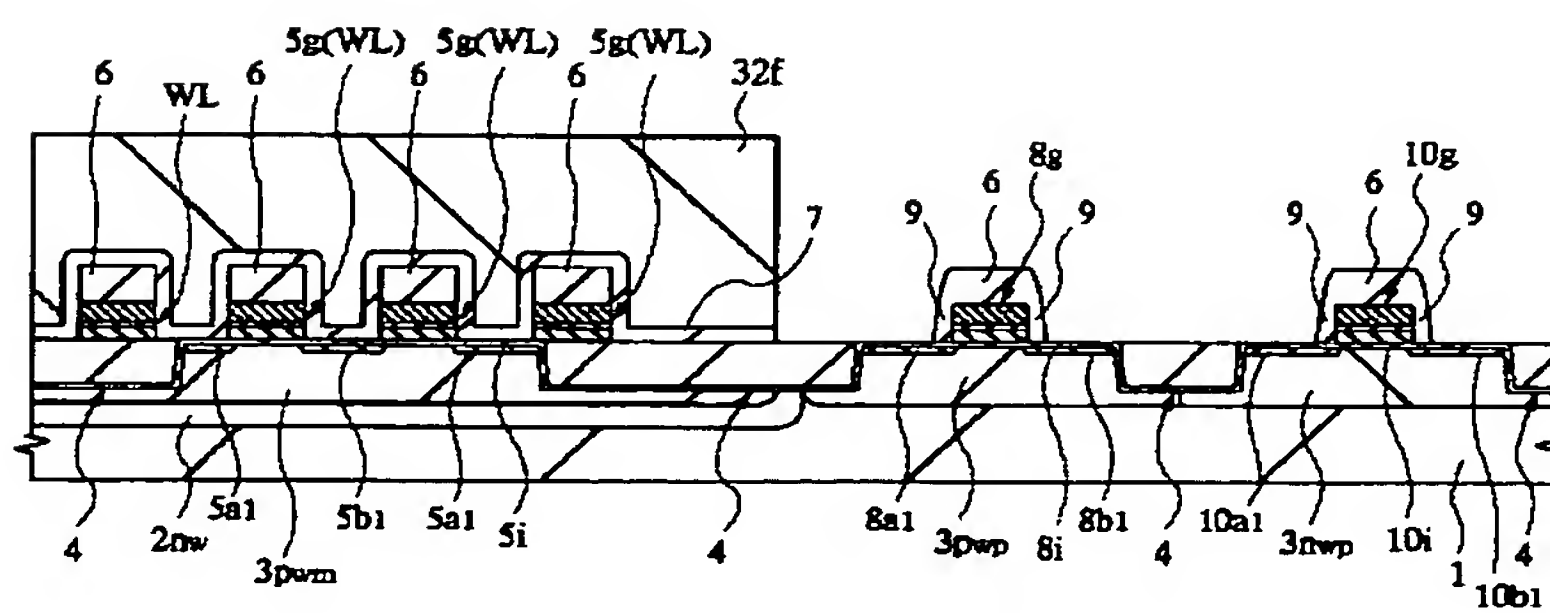


【図 1 3】

図 13

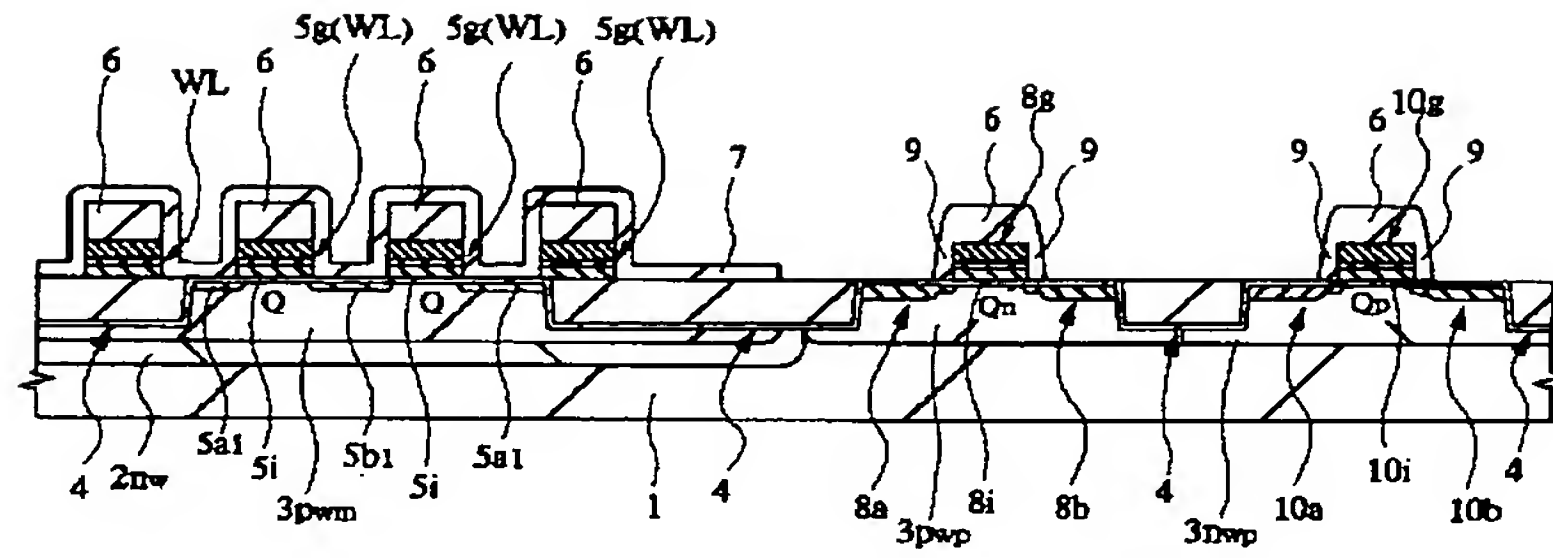


16



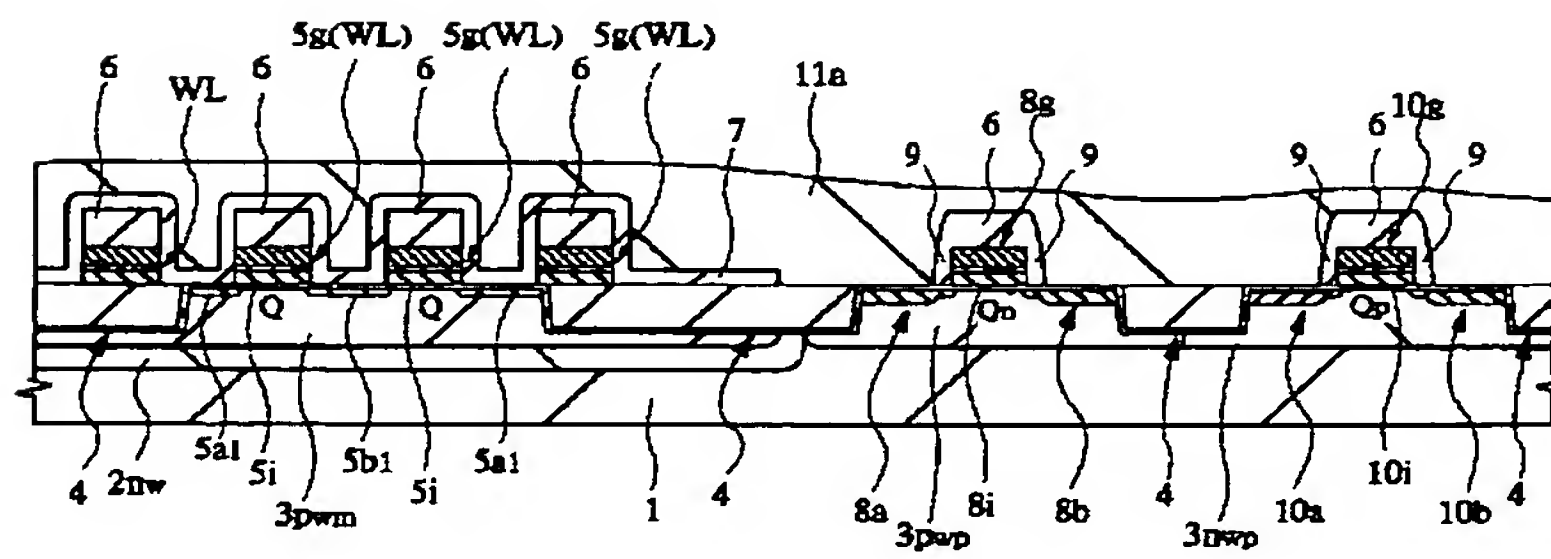
【図 1 8】

図 18



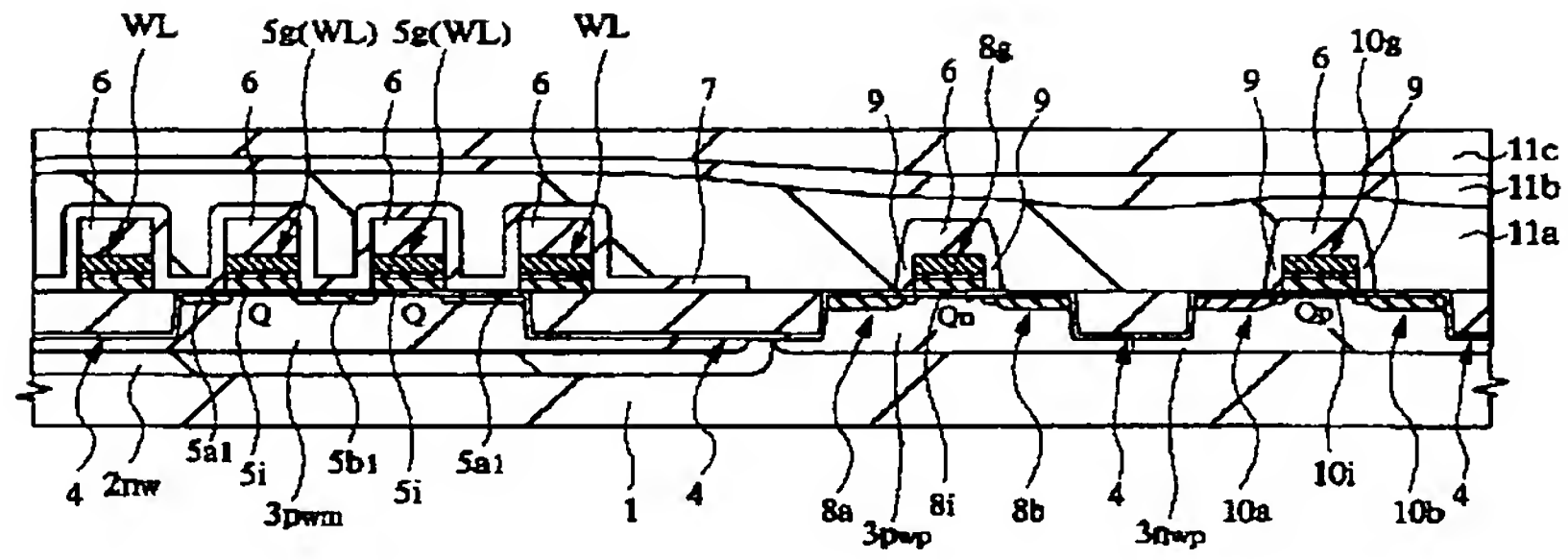
【図 1 9】

図 19



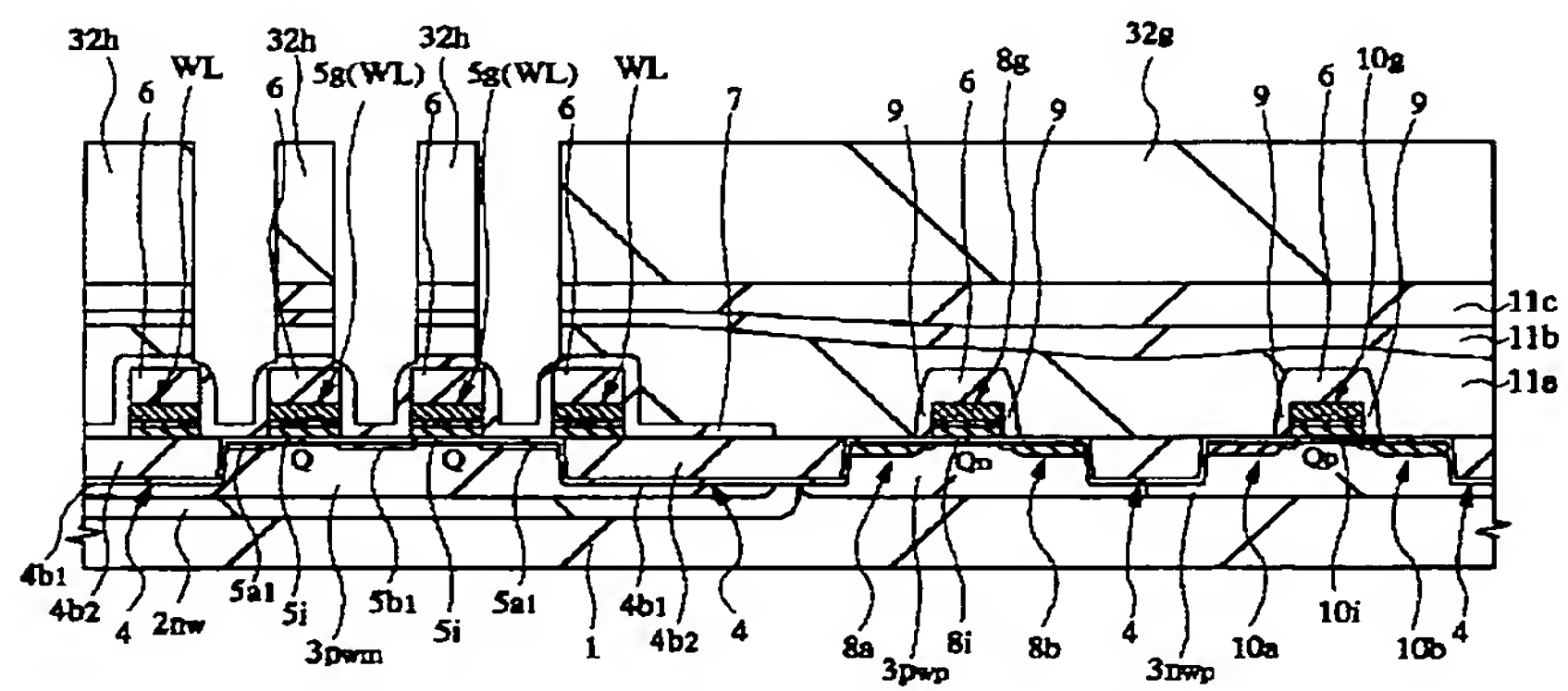
【図 20】

図 20



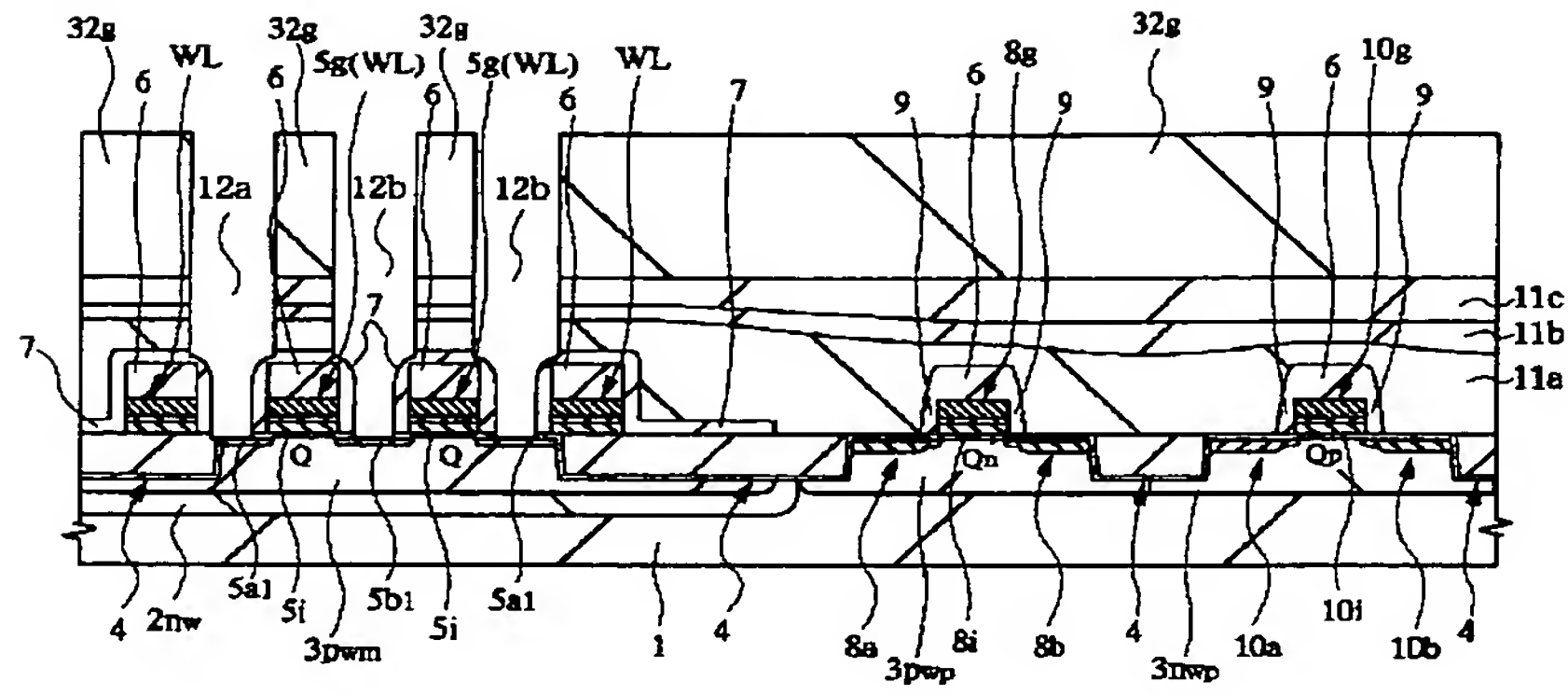
【図 21】

図 21



【図 2 2】

図 22



【図 2 3】

図 23

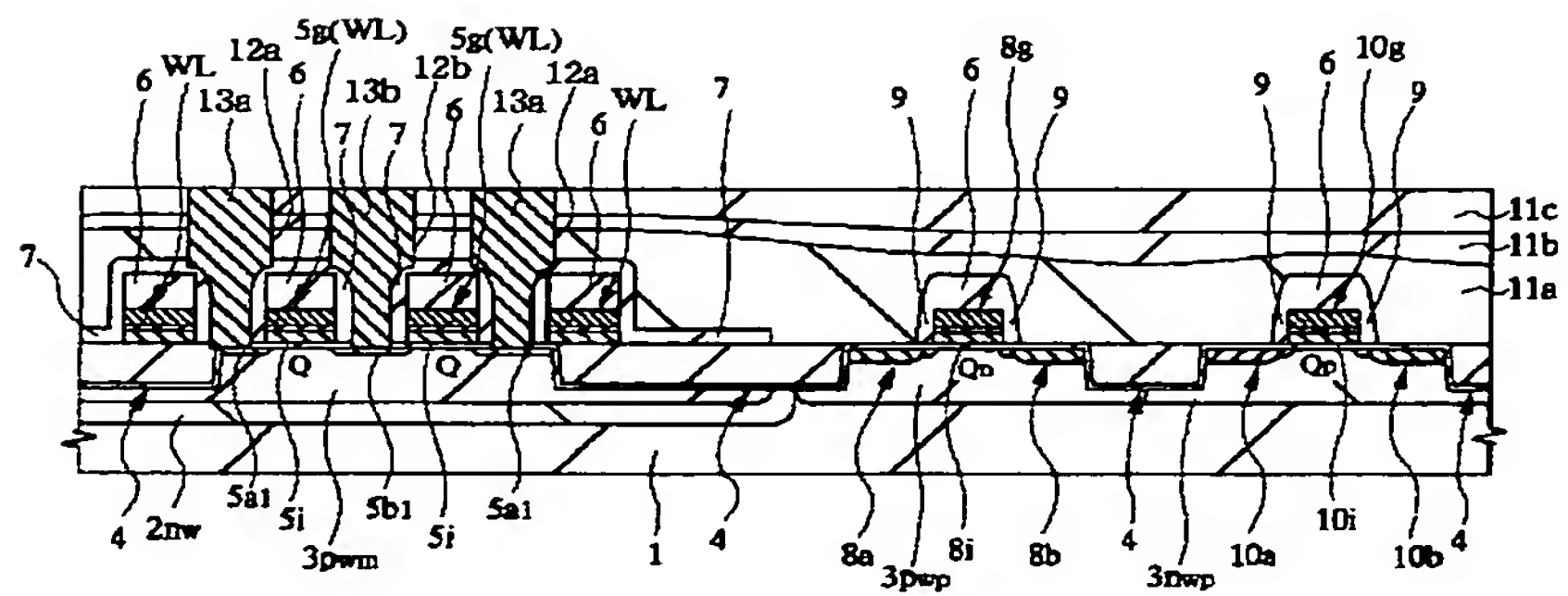
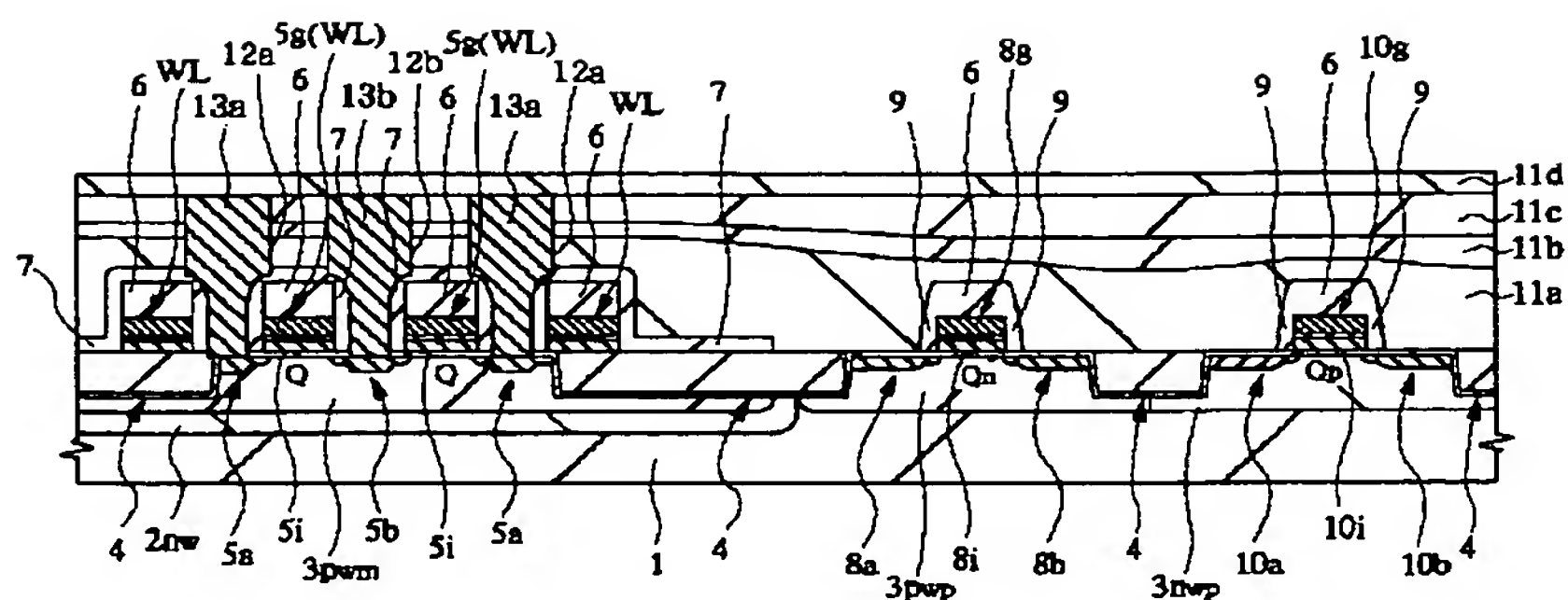


图 24



25

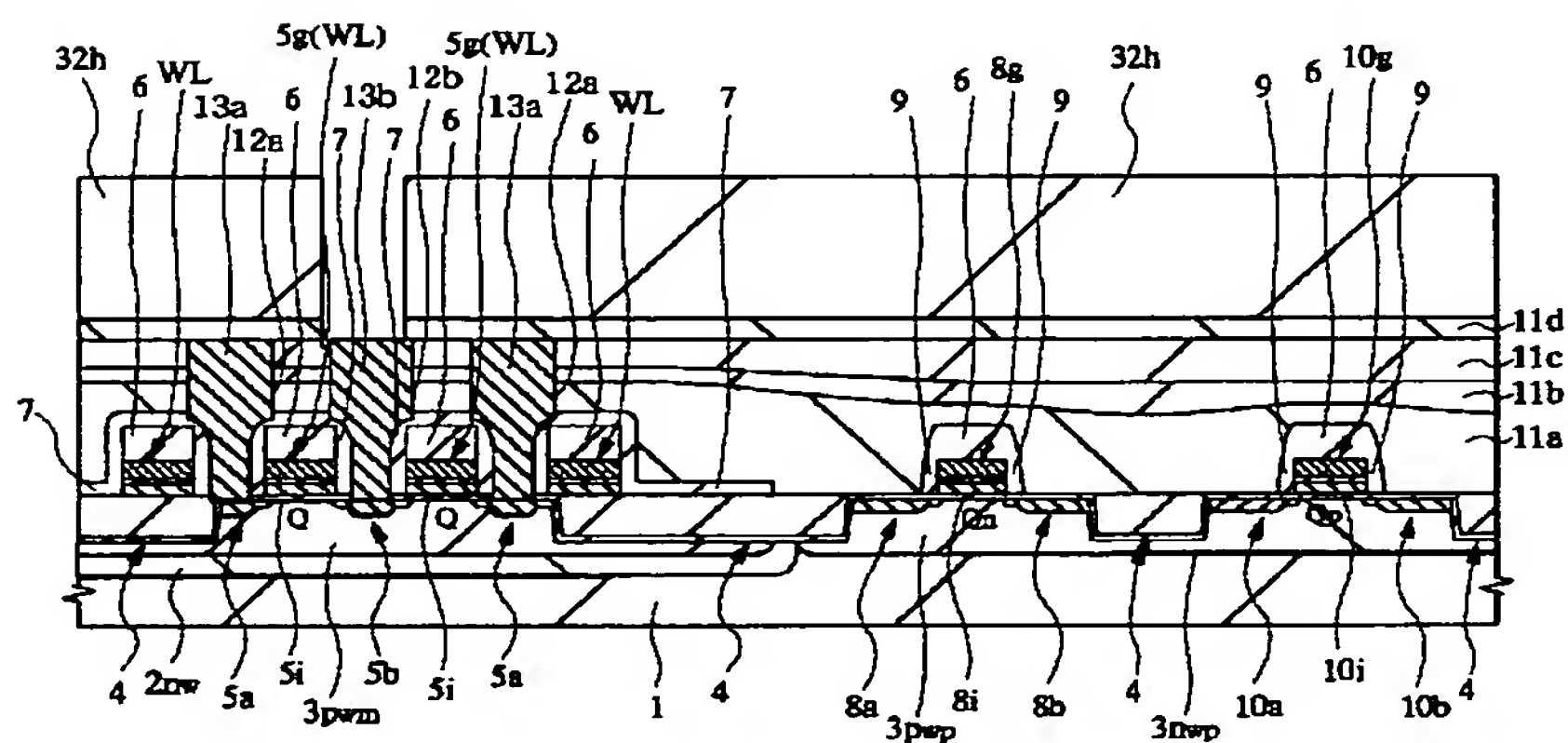
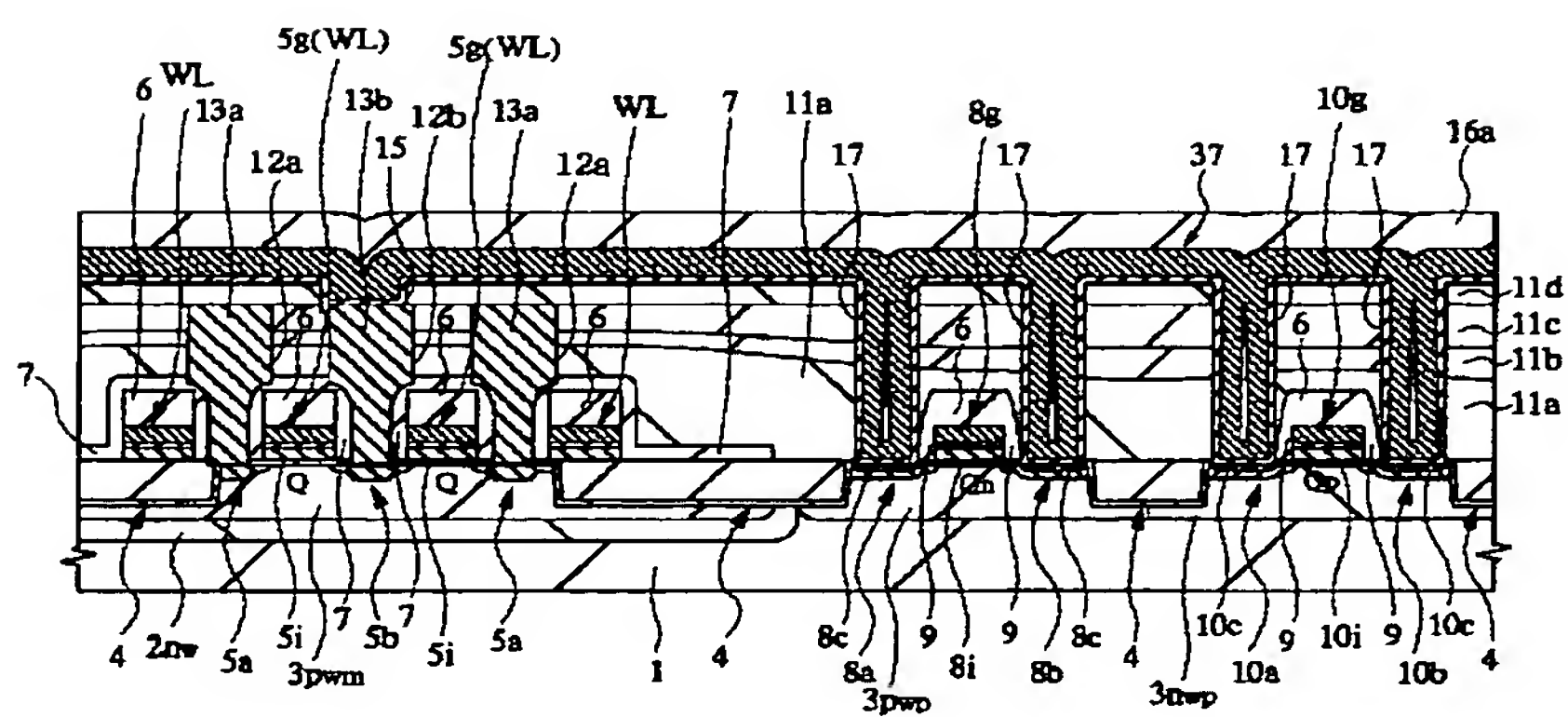
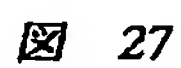
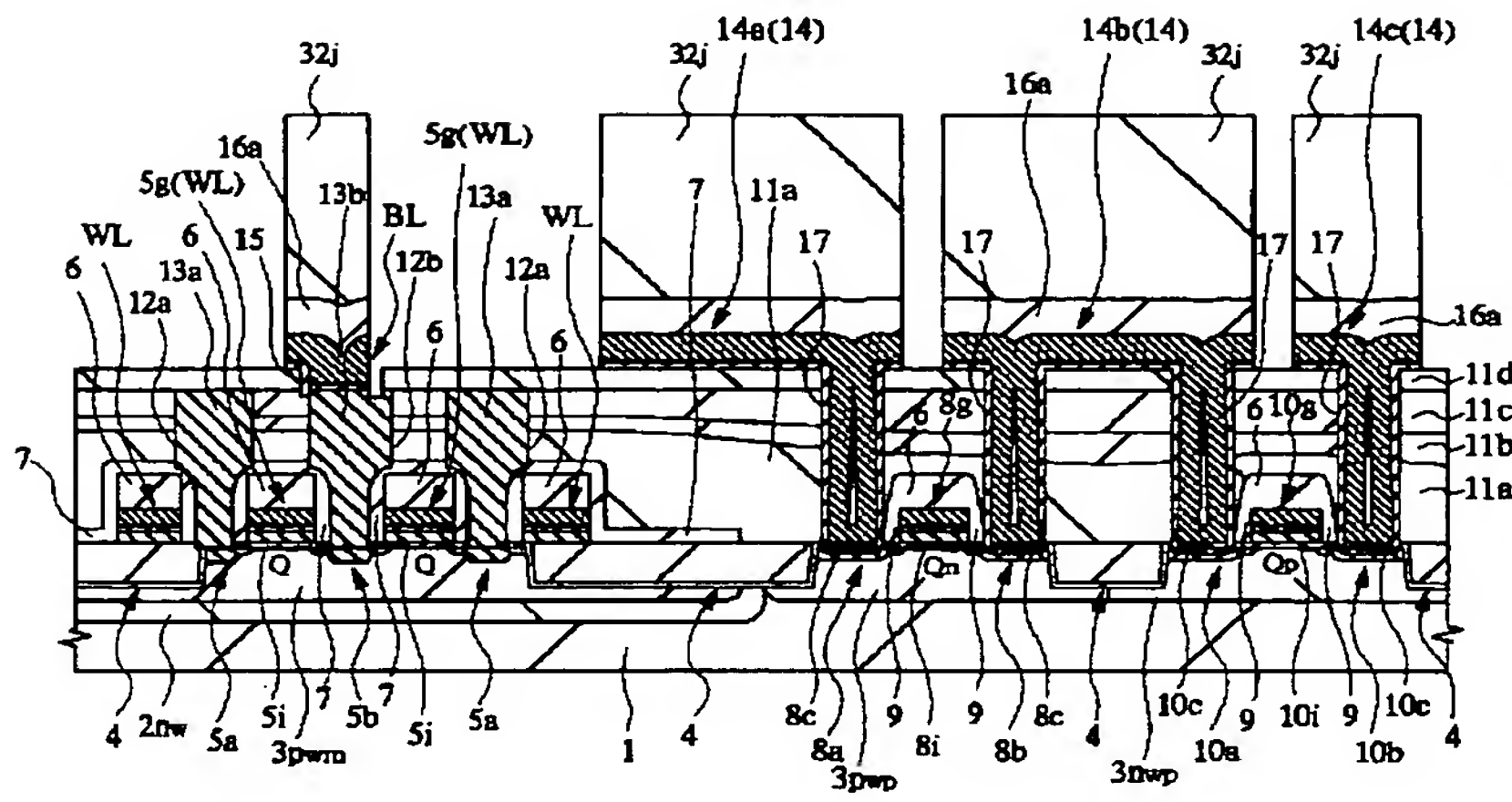


Figure 26 shows a rectangular block with a cross-section. The block is labeled '26' and has a small square symbol in the top left corner.



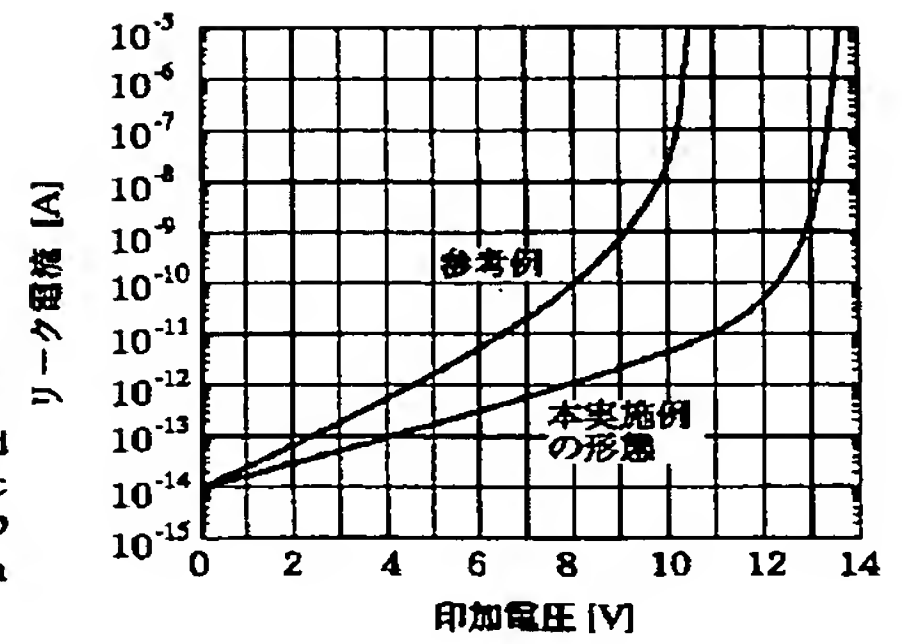
【図 28】

図 28



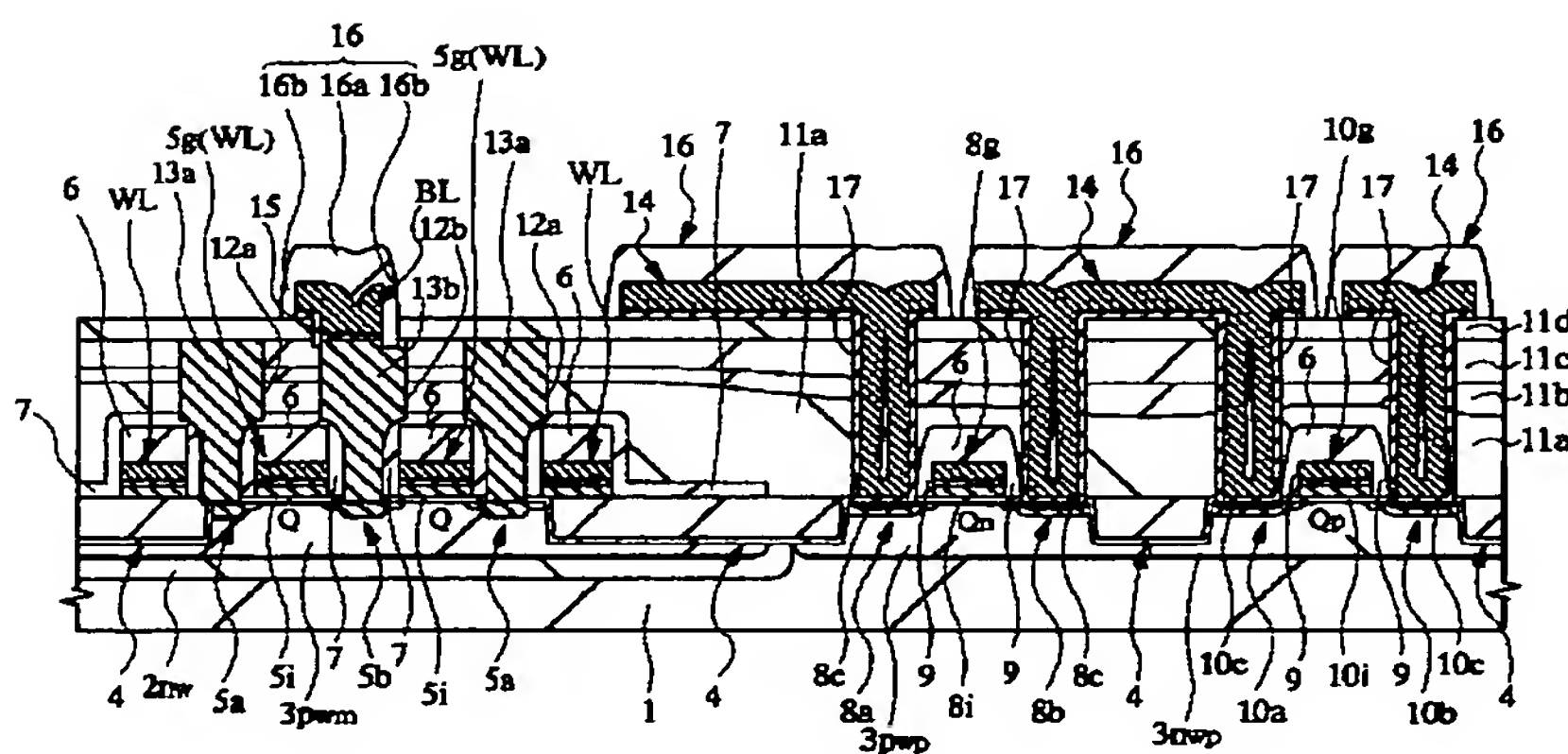
【図 46】

図 46

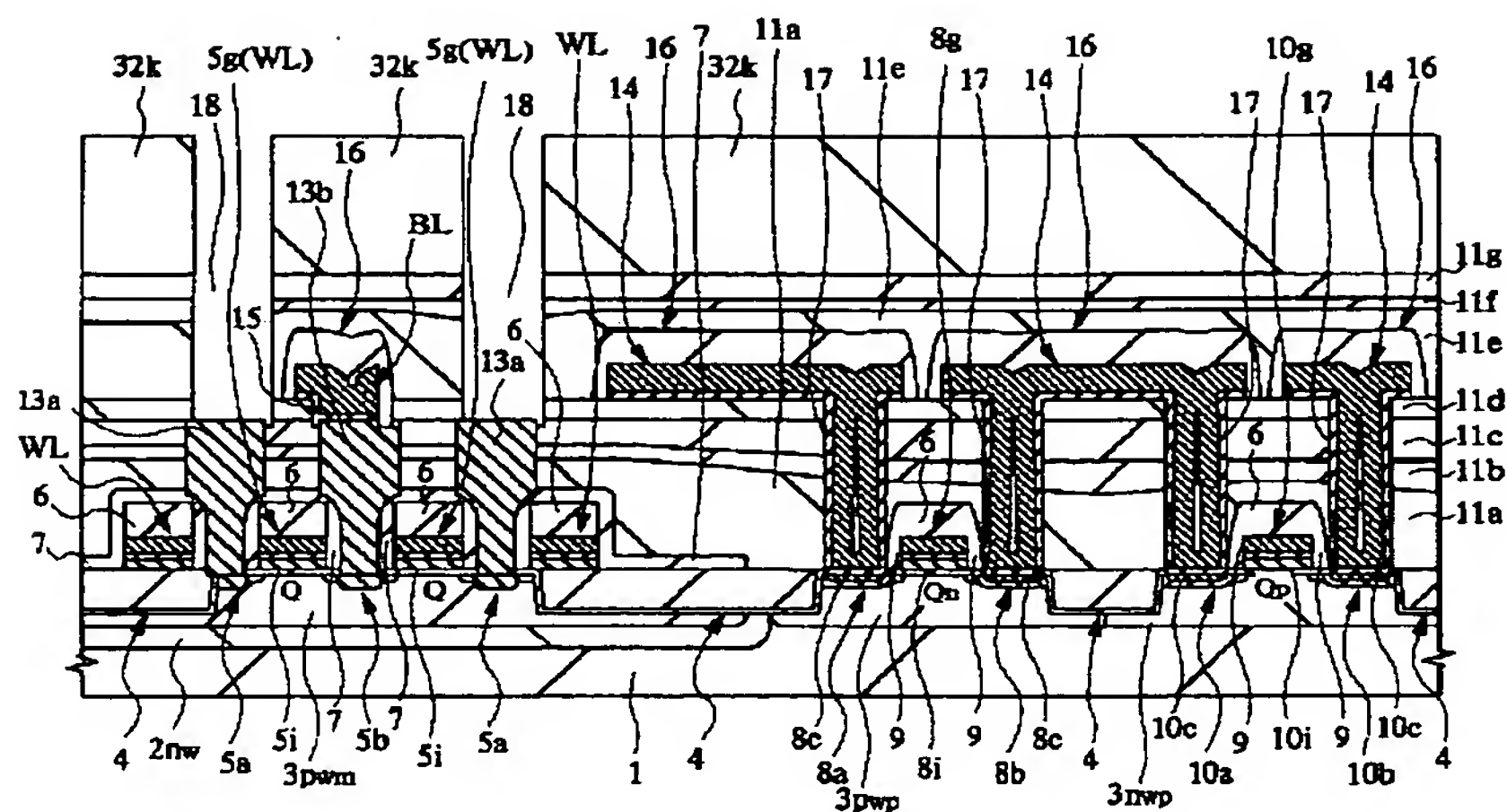


【図 29】

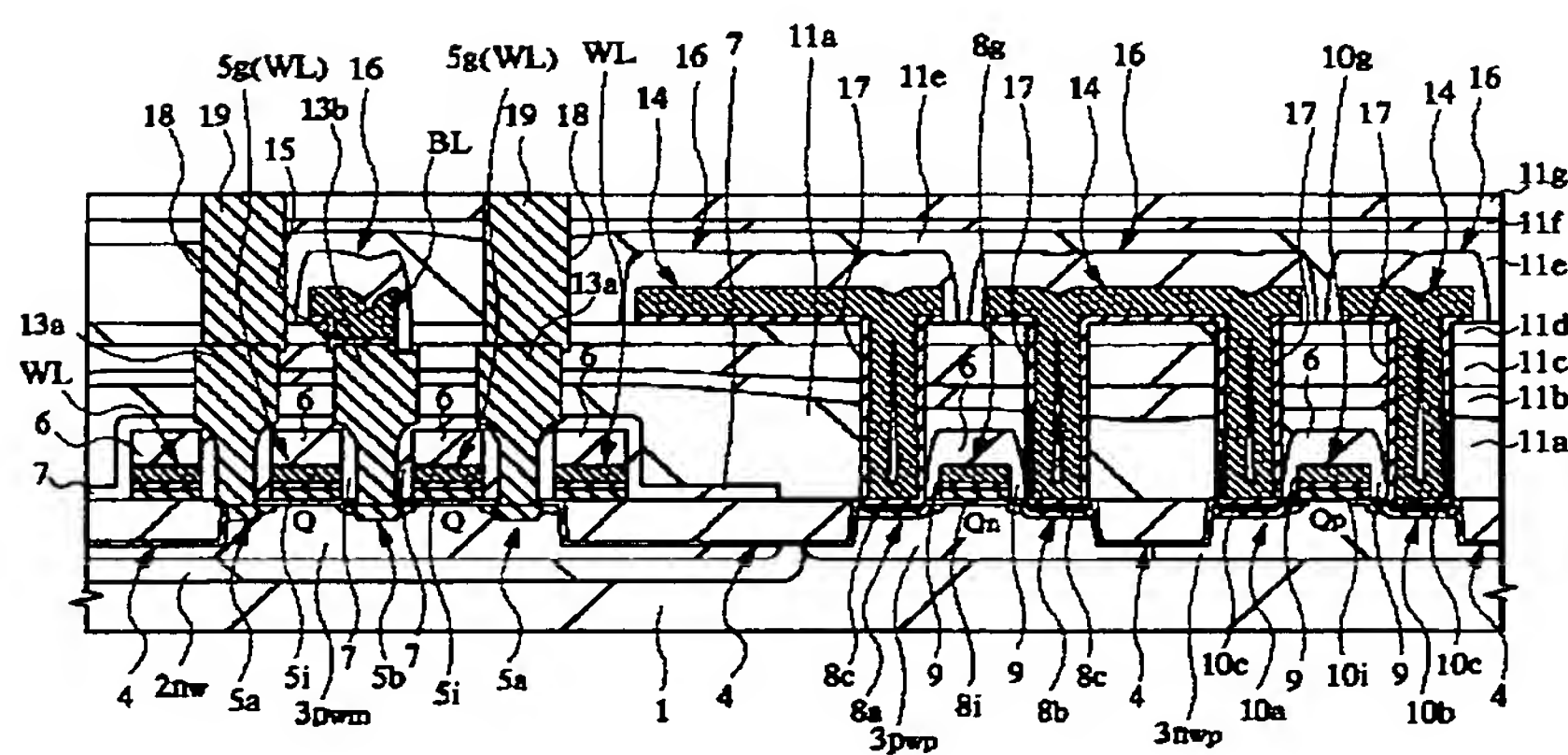
図 29



32

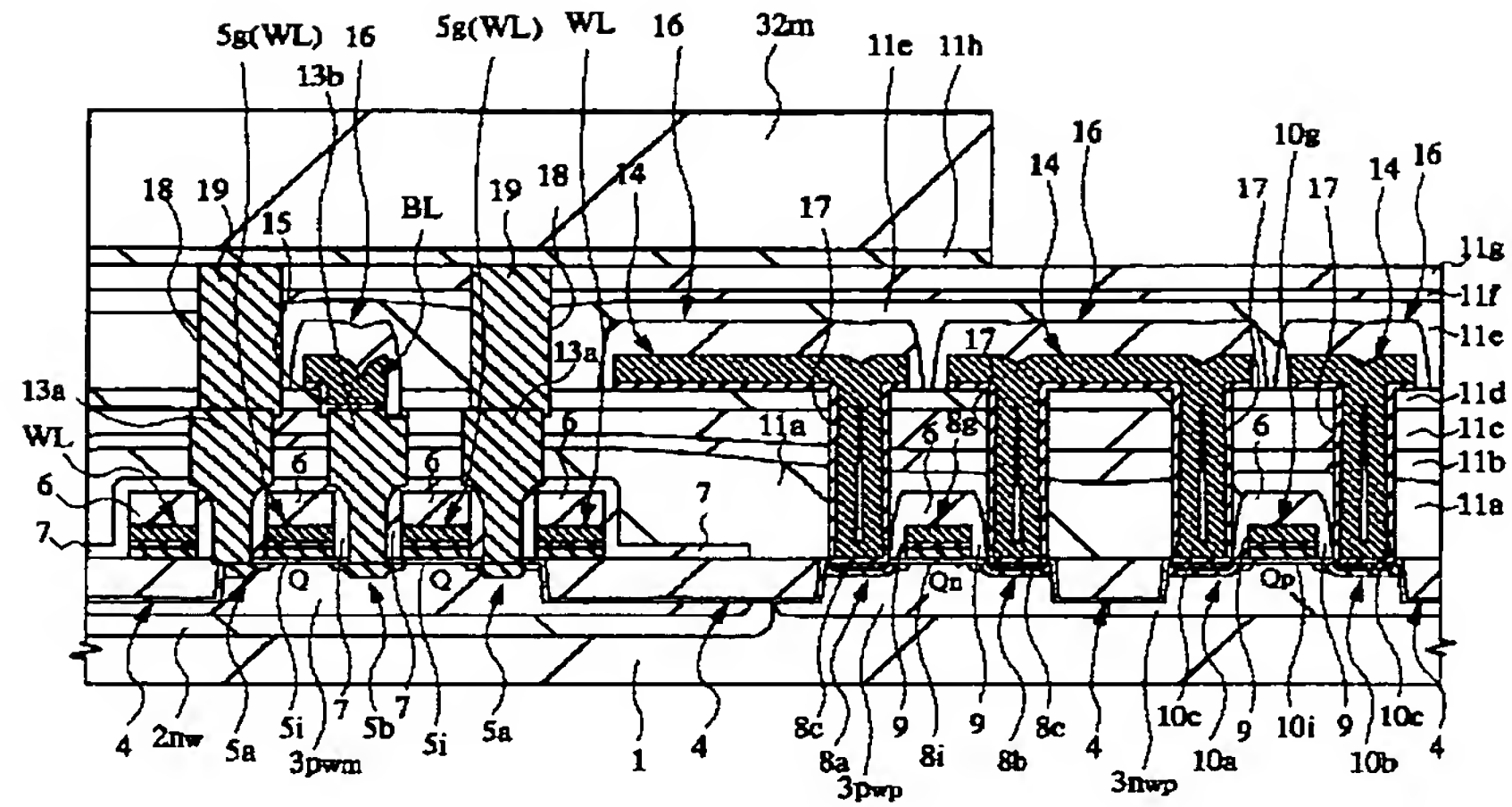


33



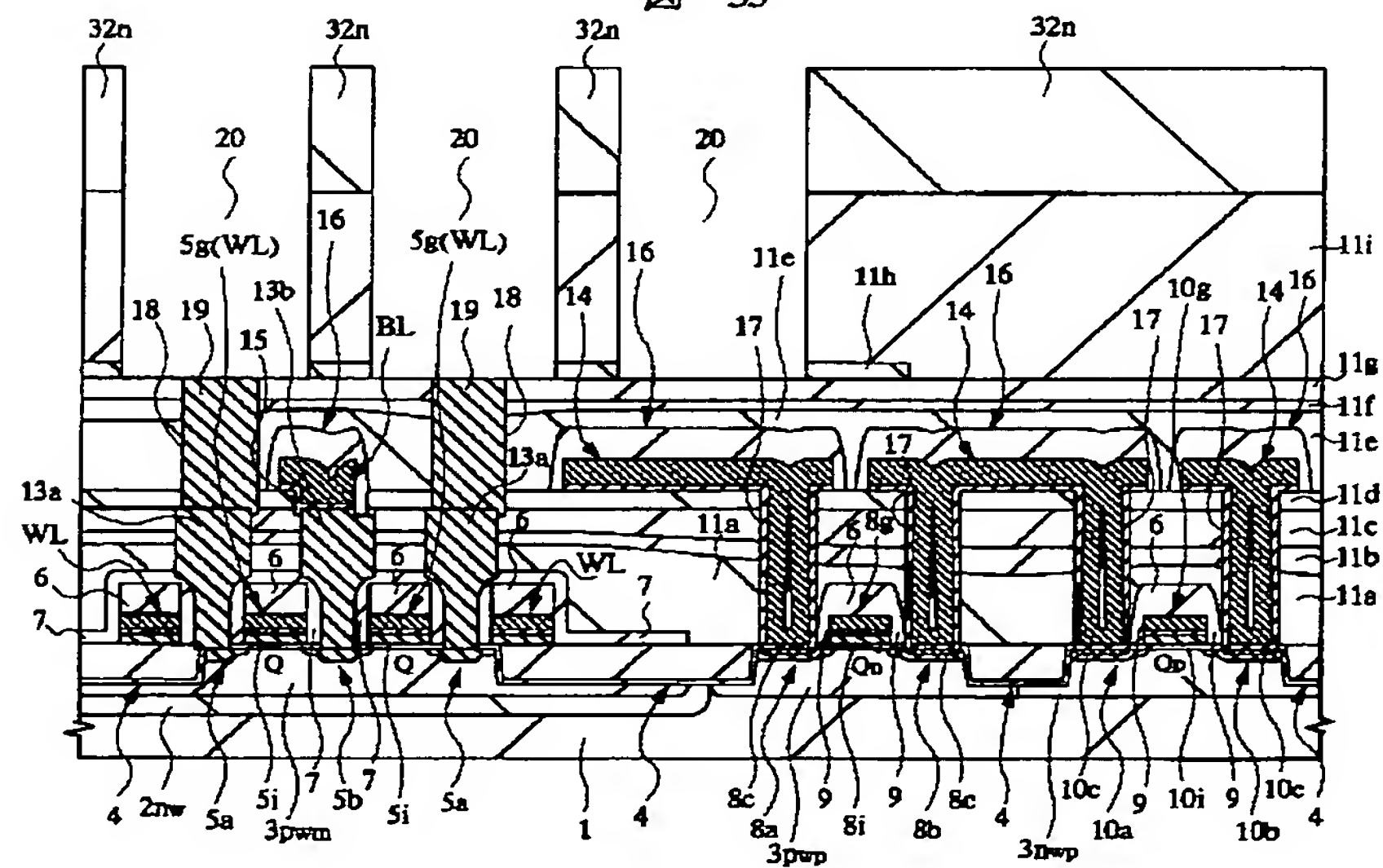
【図 3 4】

34

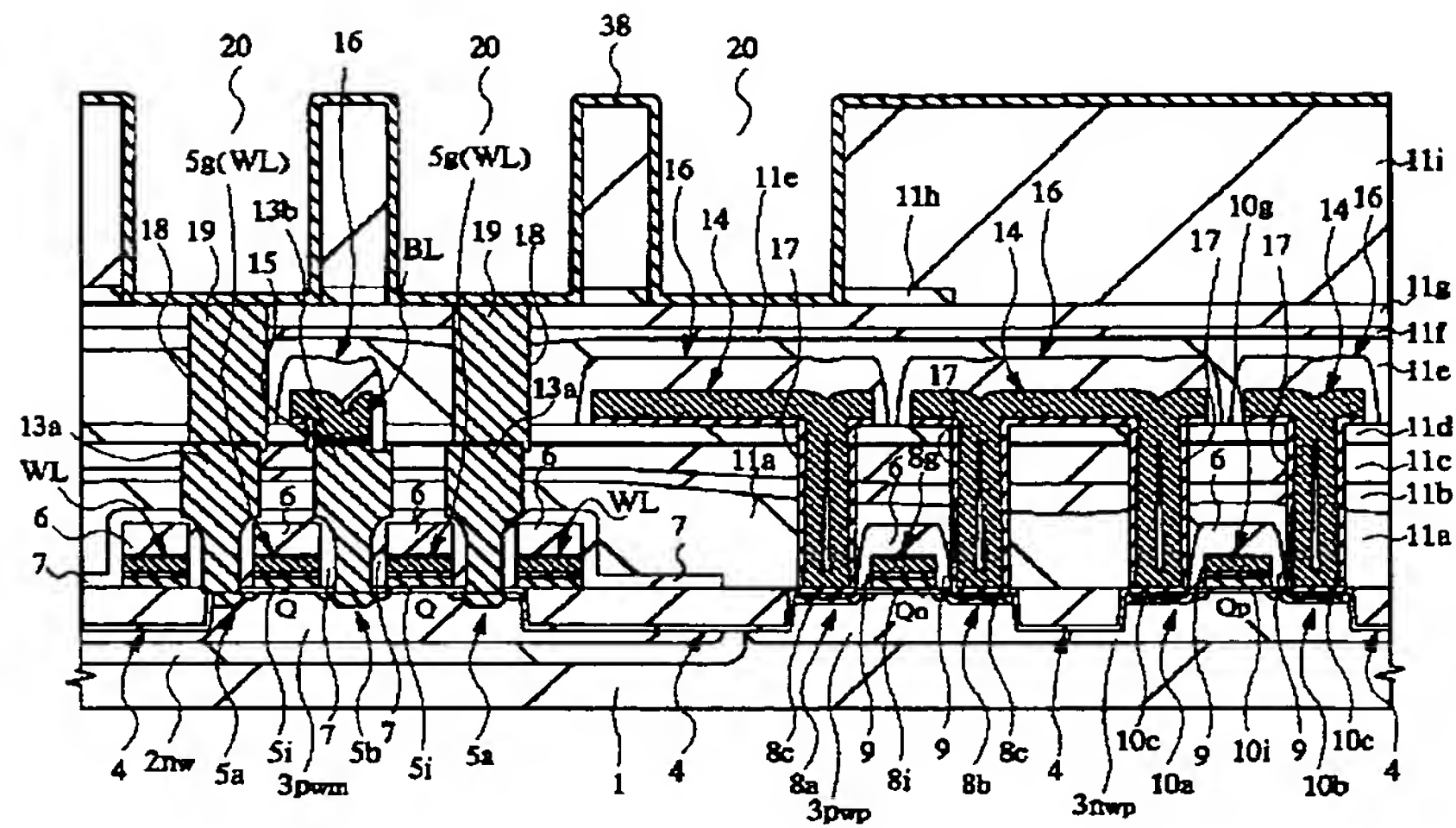


【图 3 5】

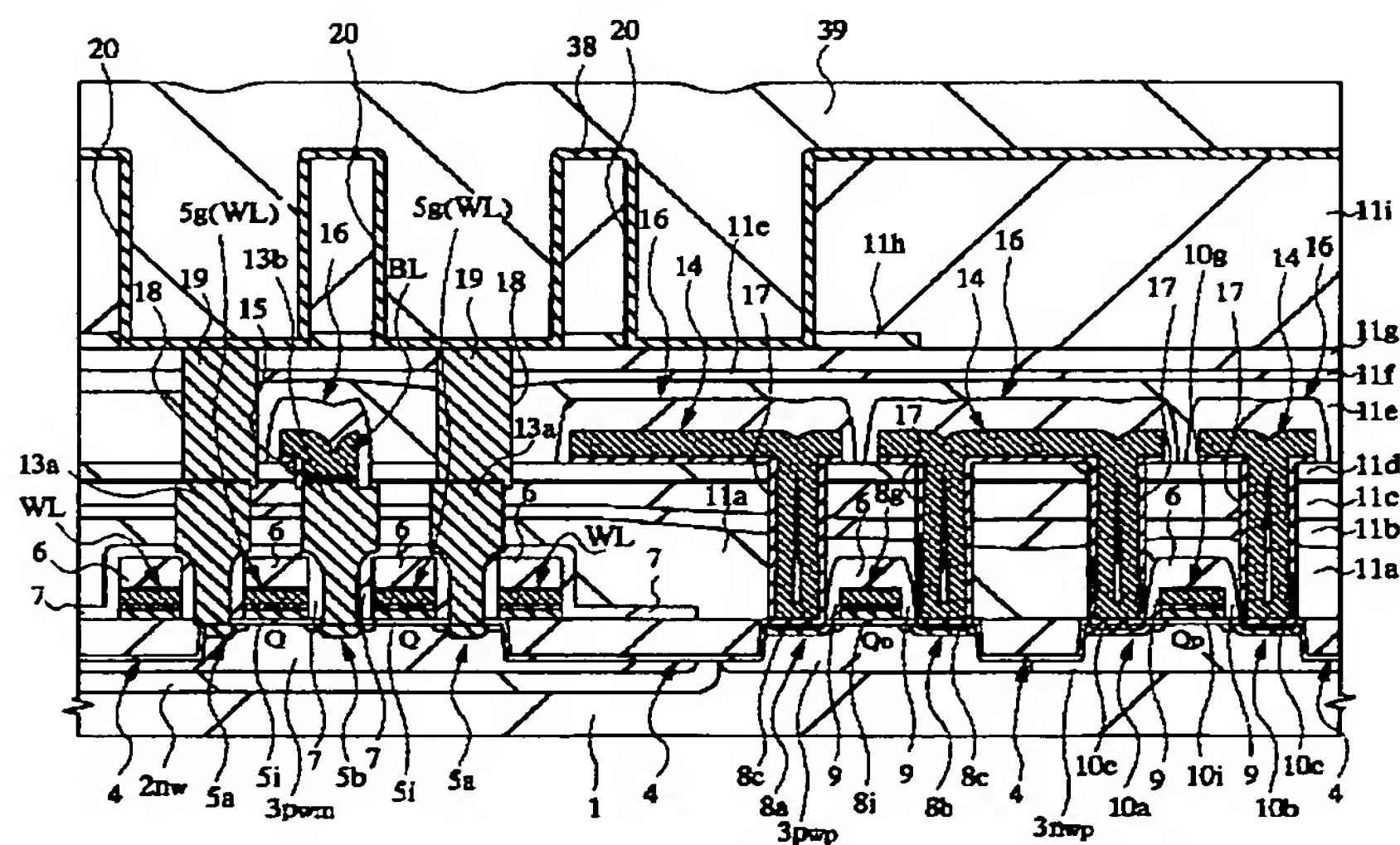
图 35



36

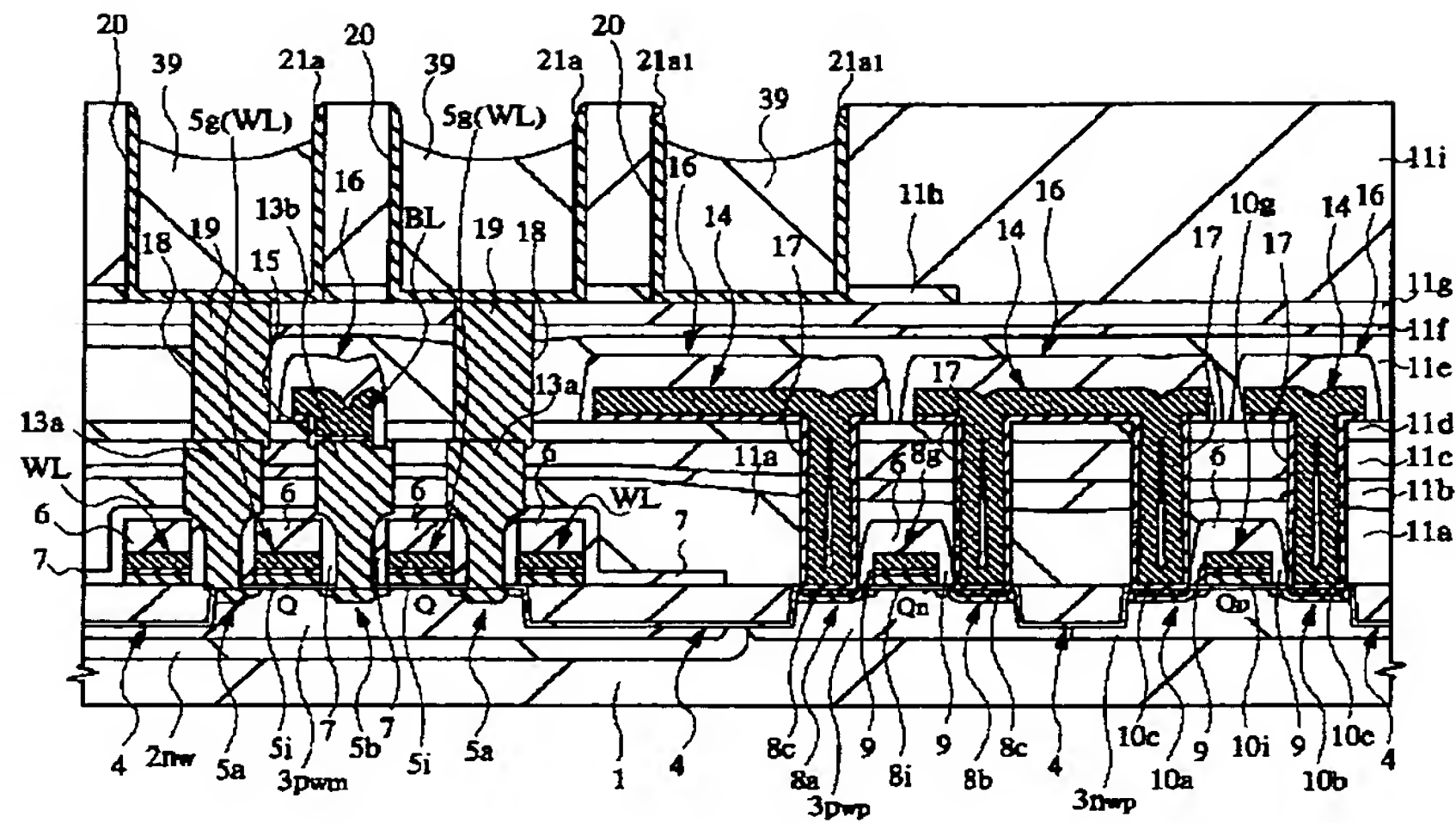


37



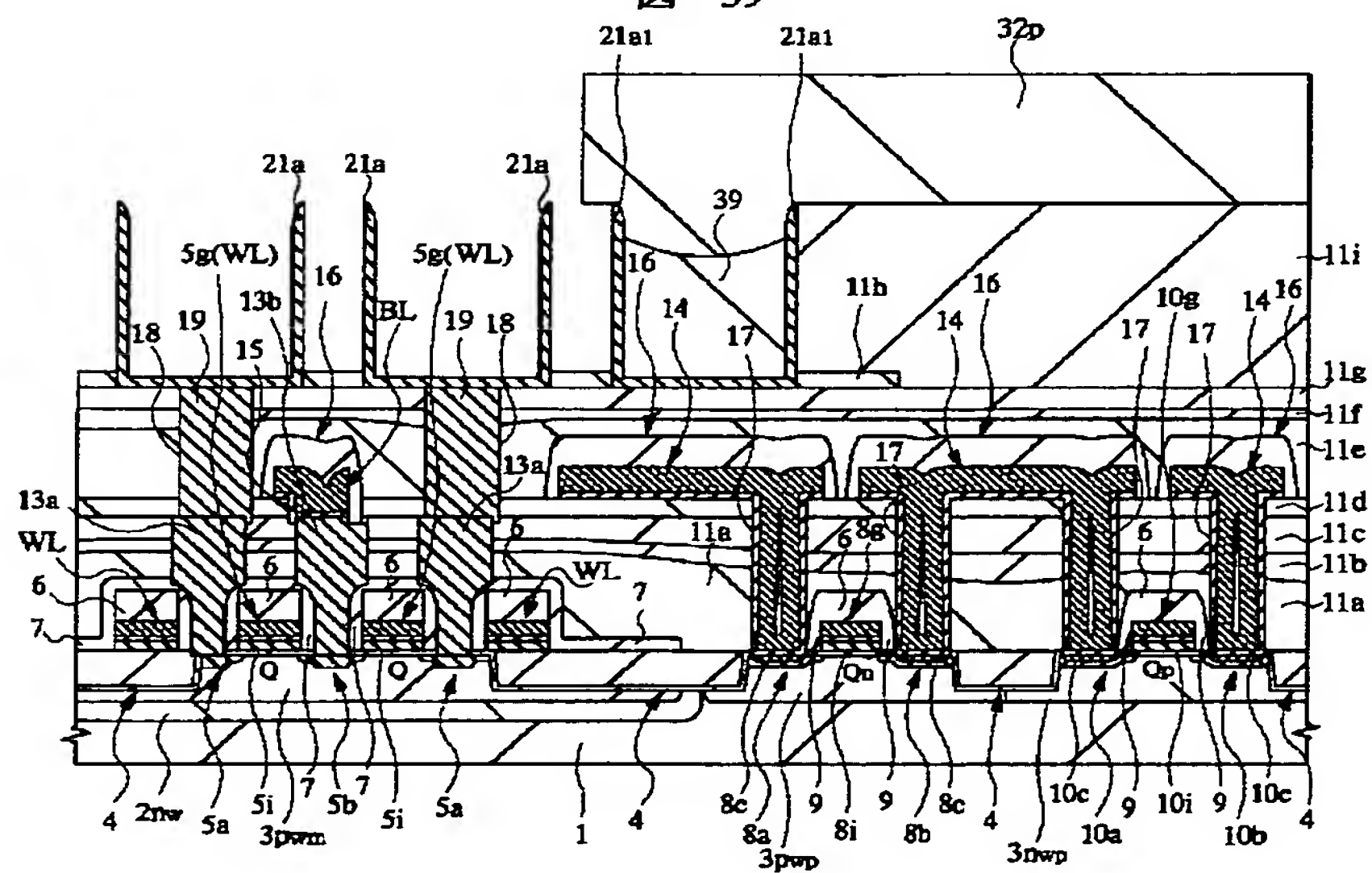
【図 38】

図 38

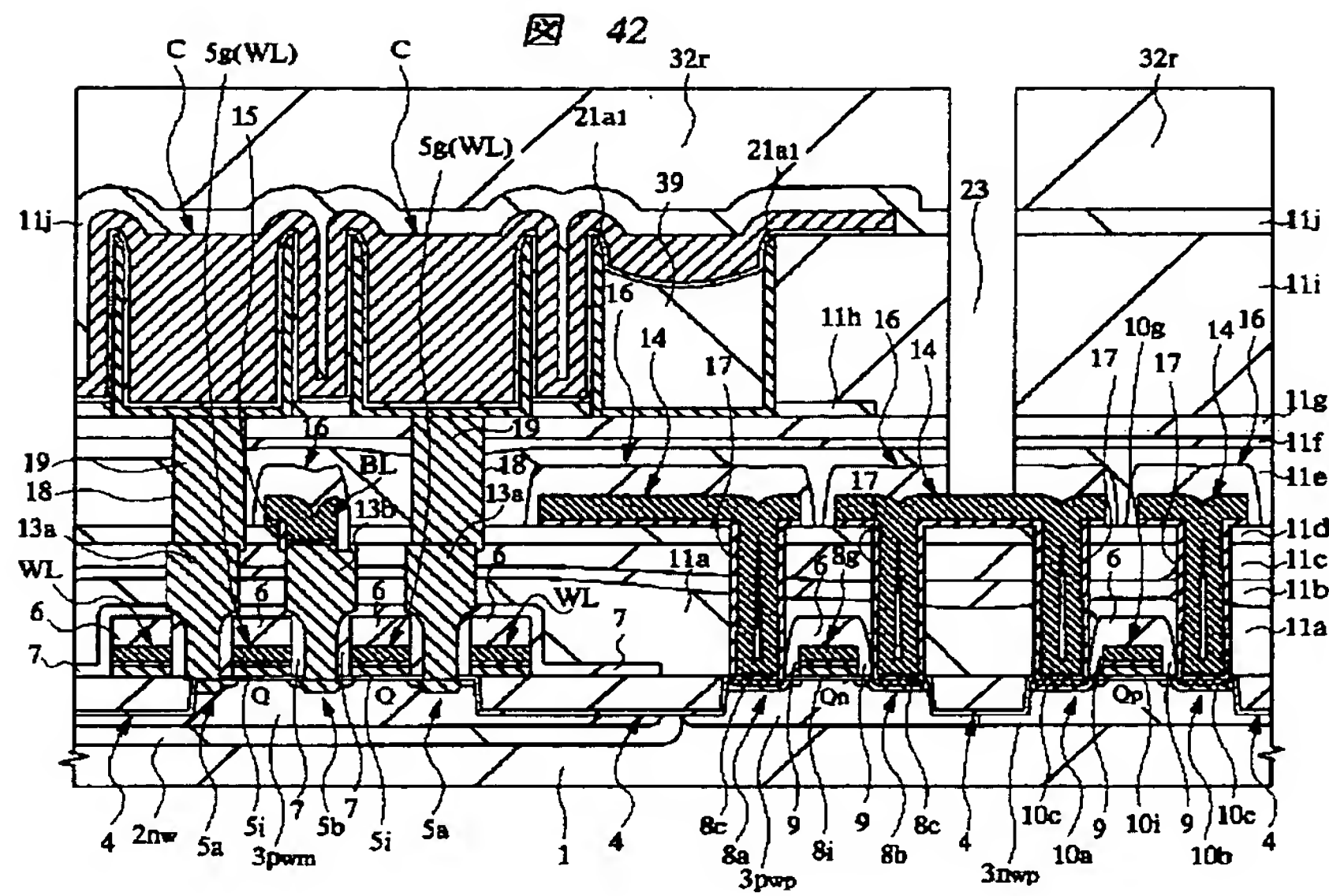


【図 39】

図 39



【図 4 2】



【図 4 3】

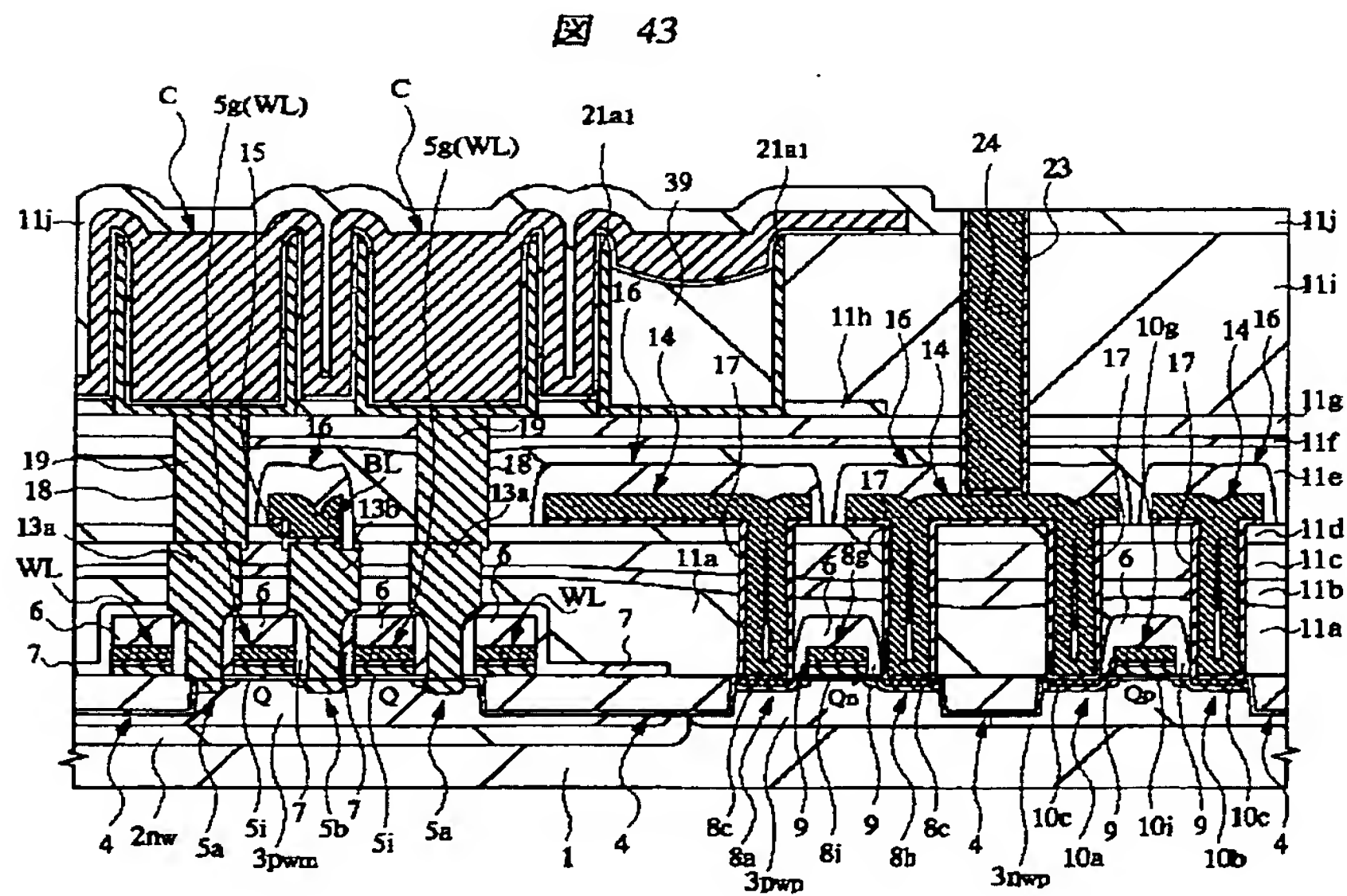
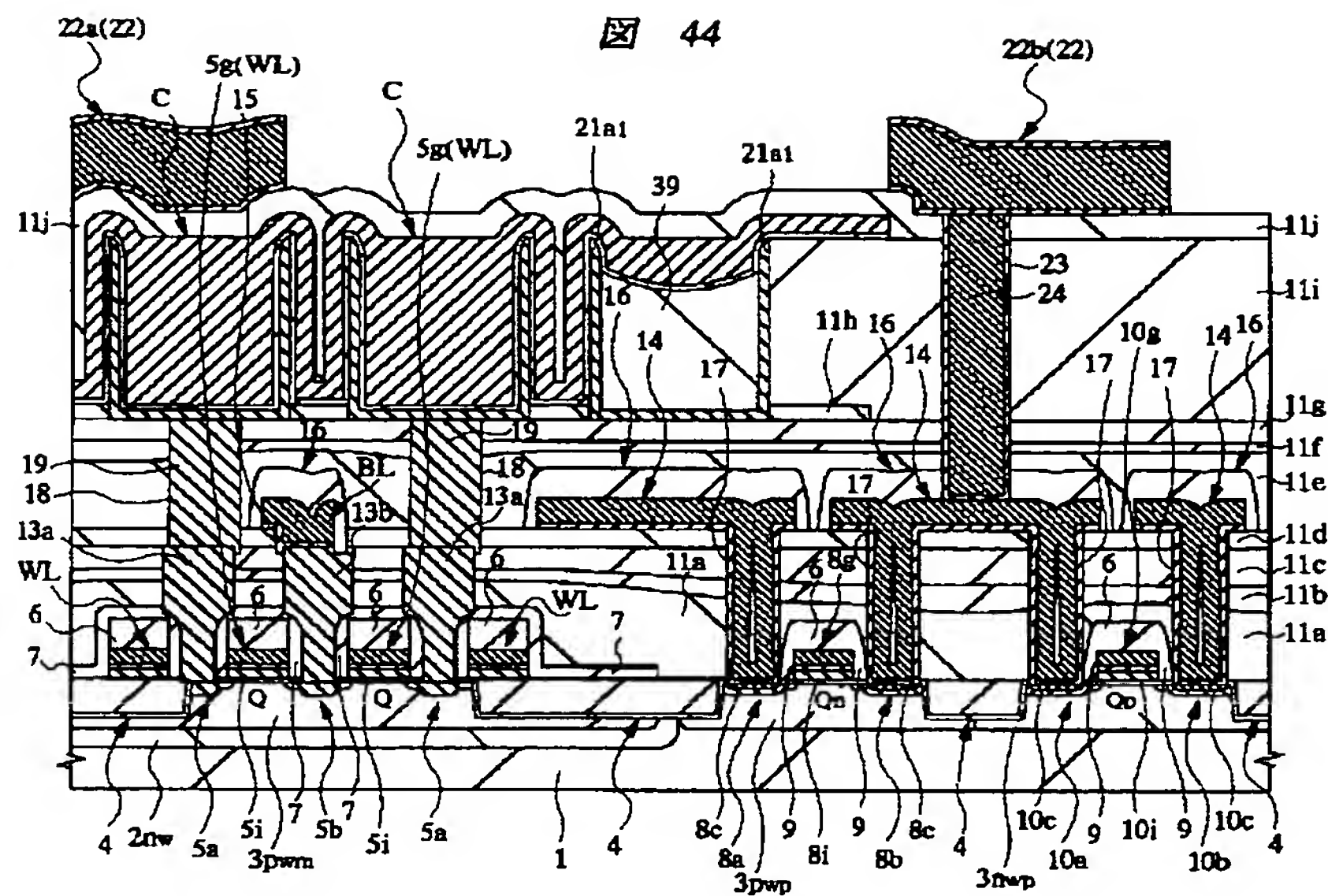


图 44



45

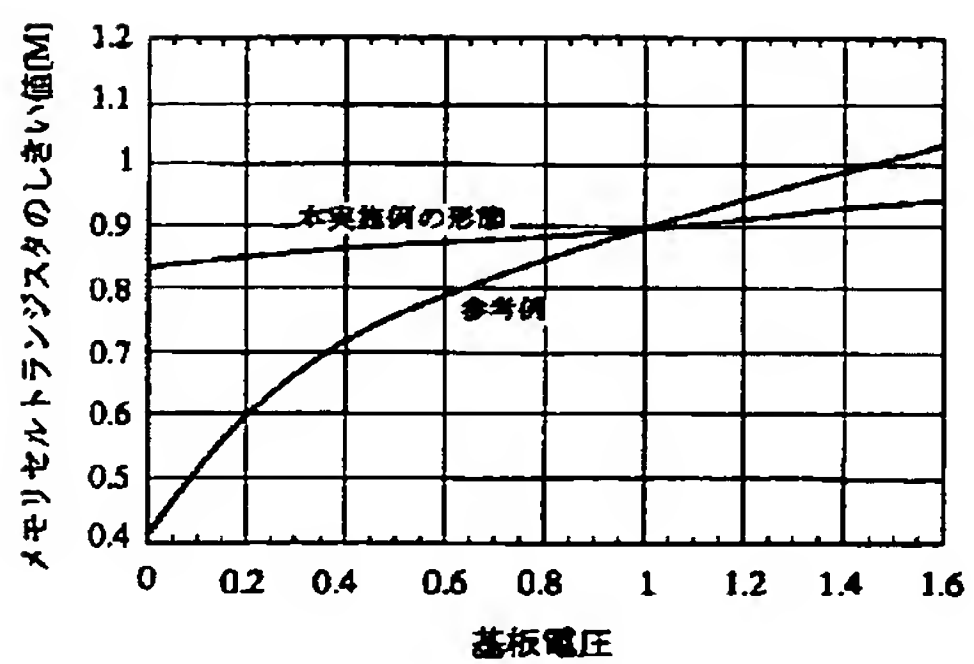
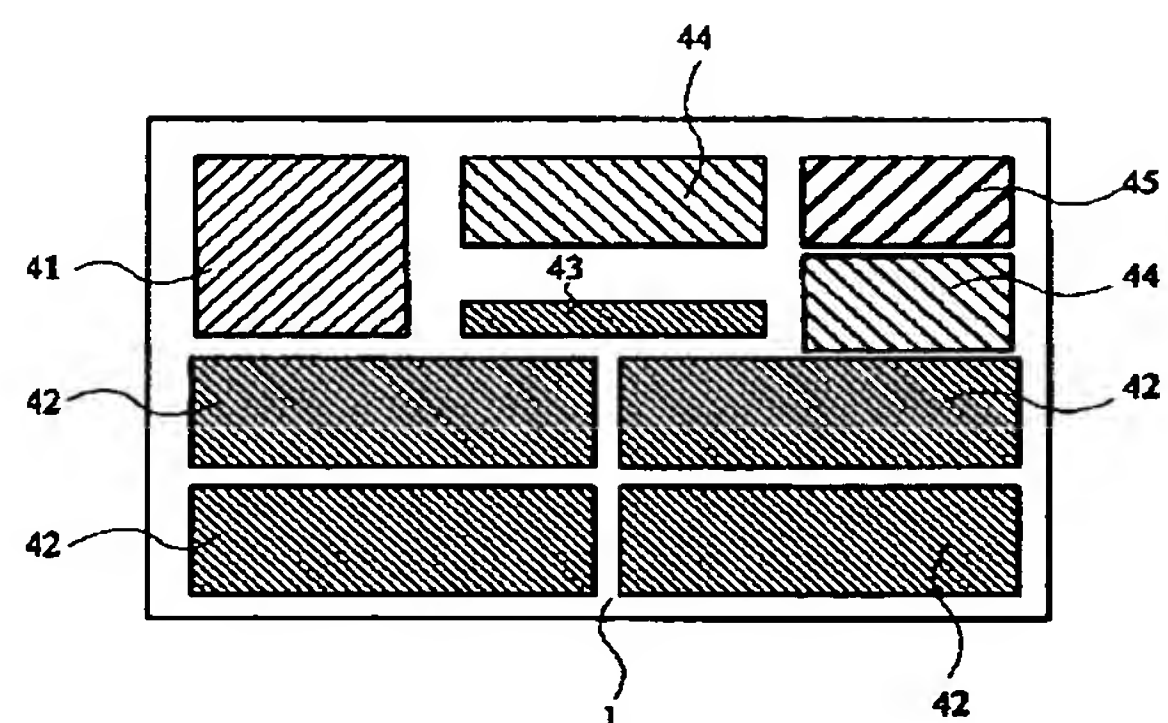
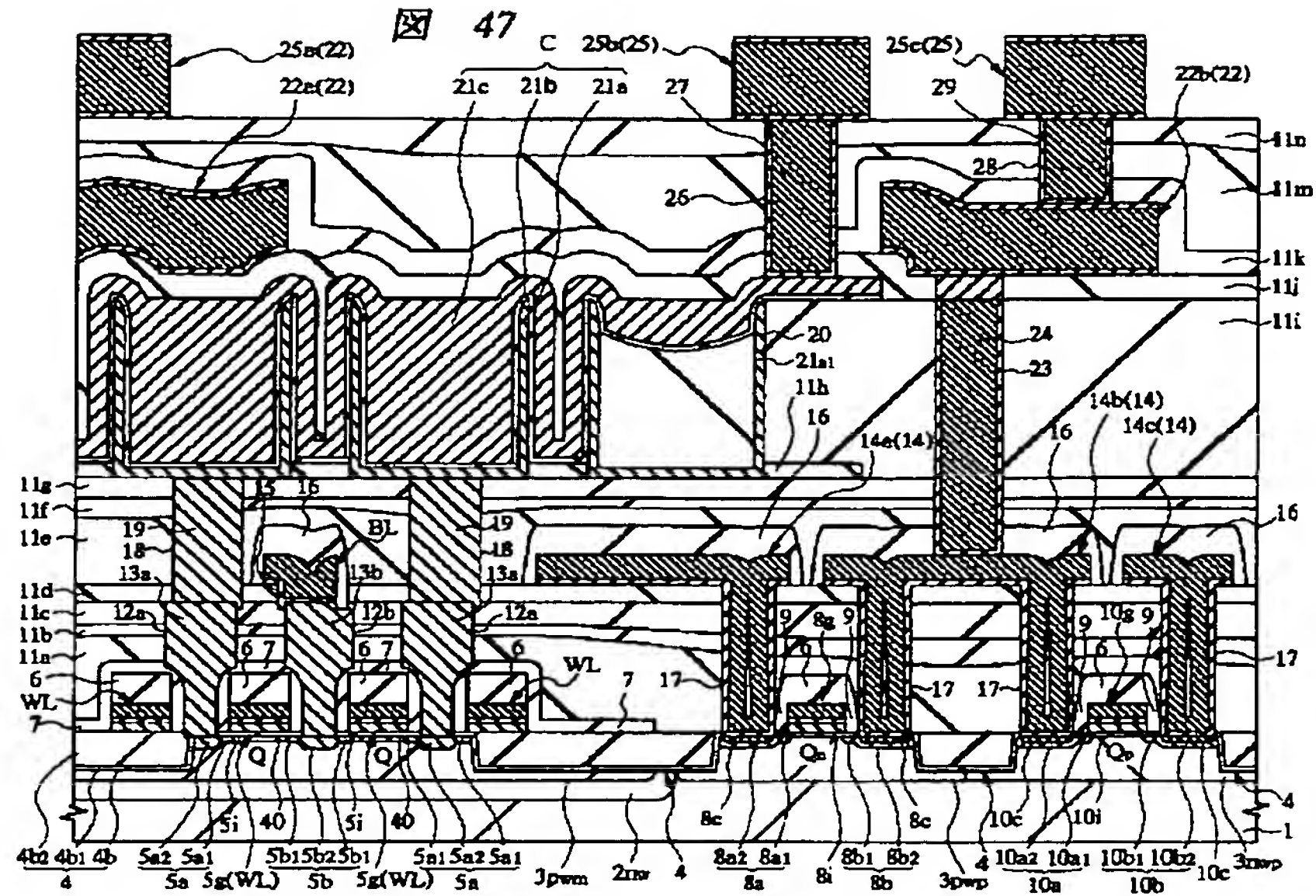


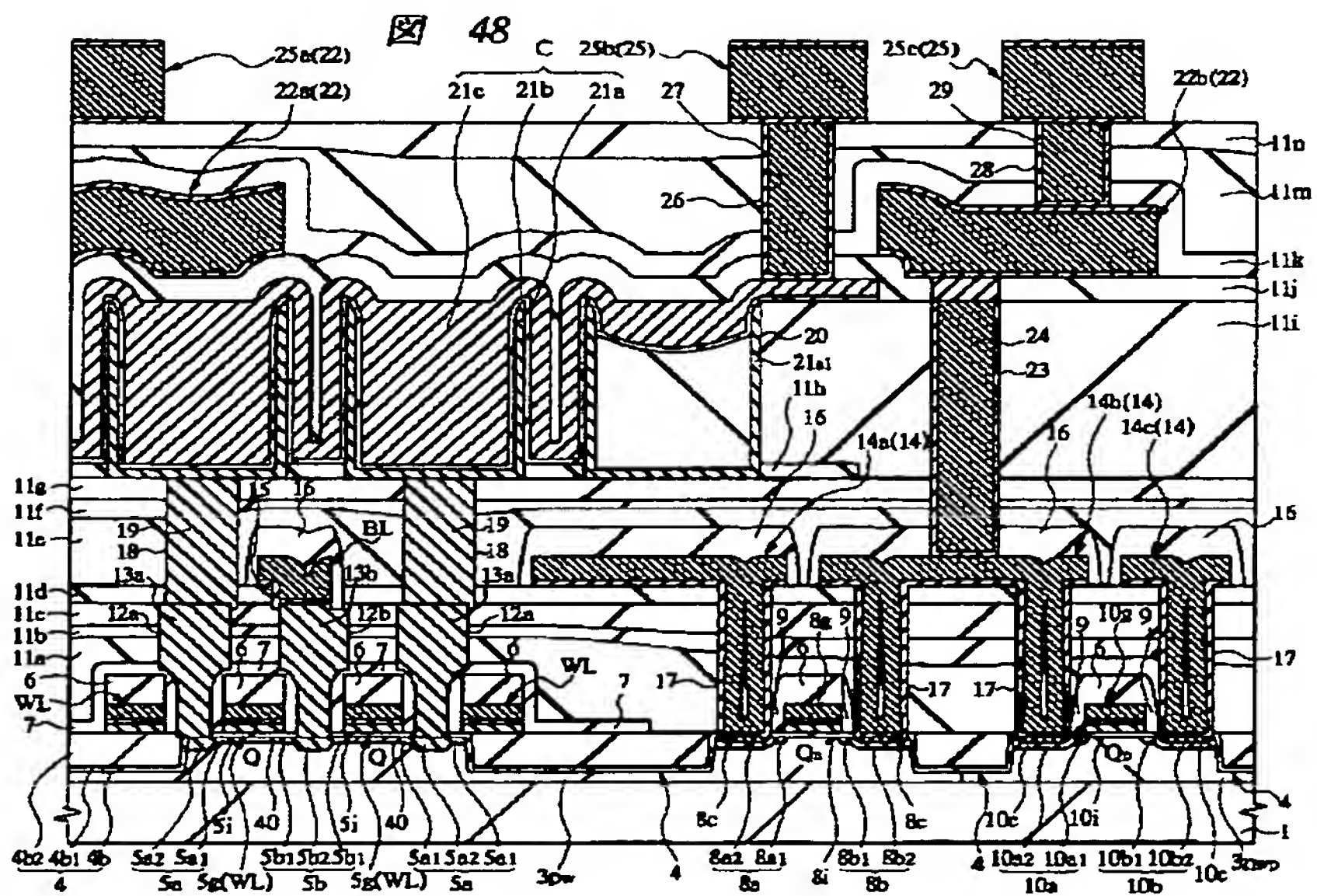
图 50



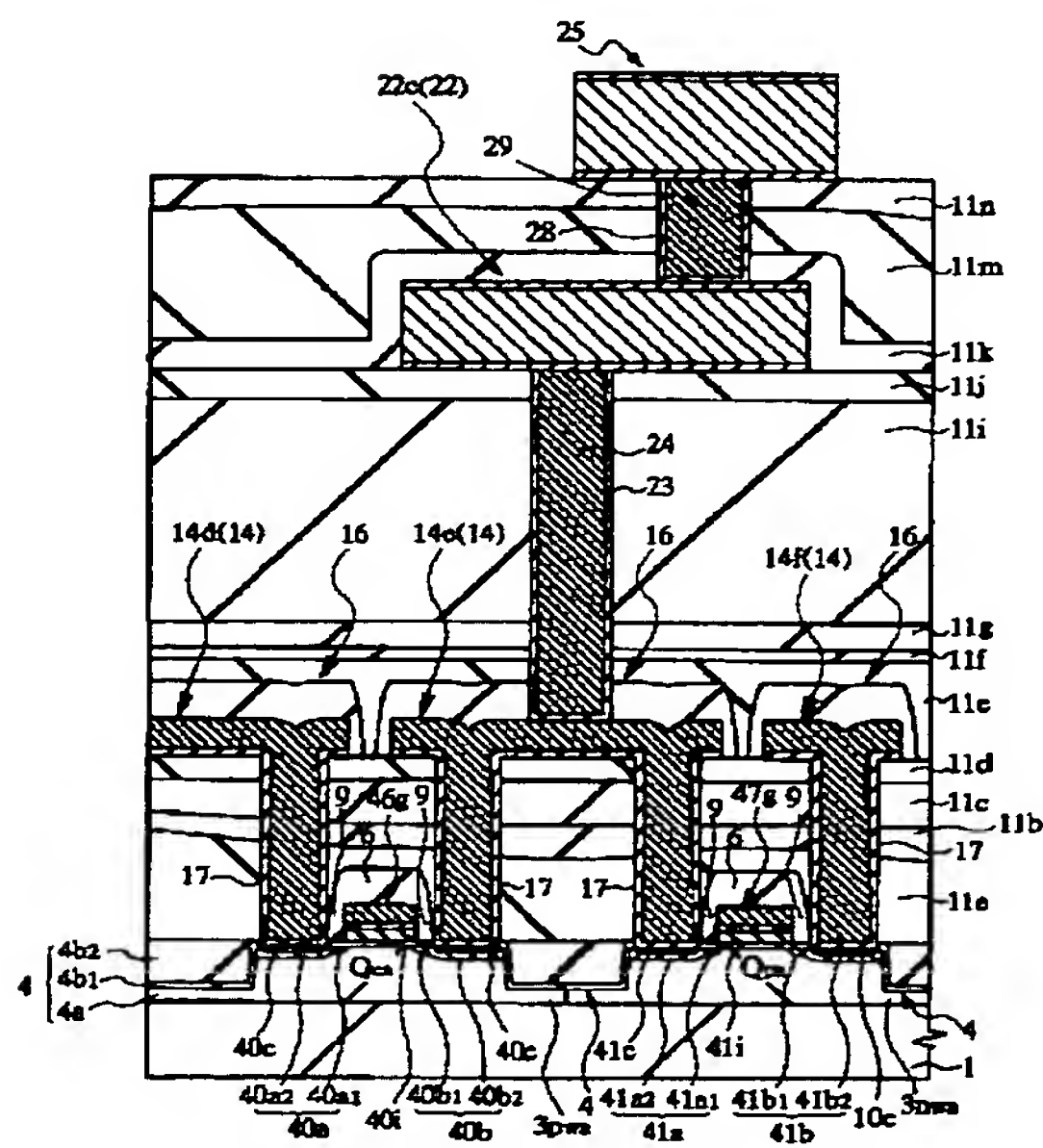
【図 4 7】



【図 4 8】

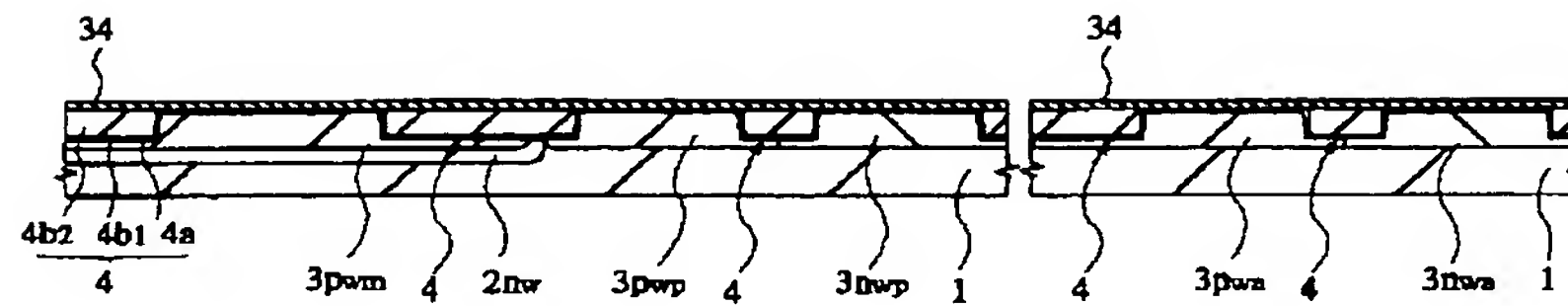


51



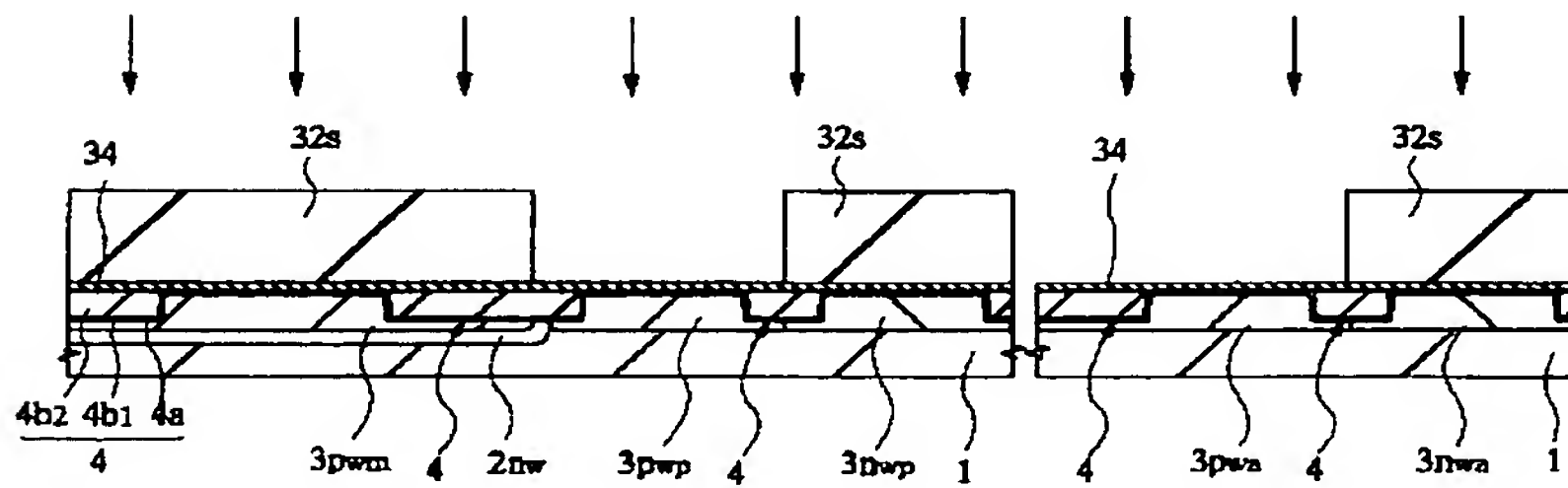
【図 5 2】

図 52



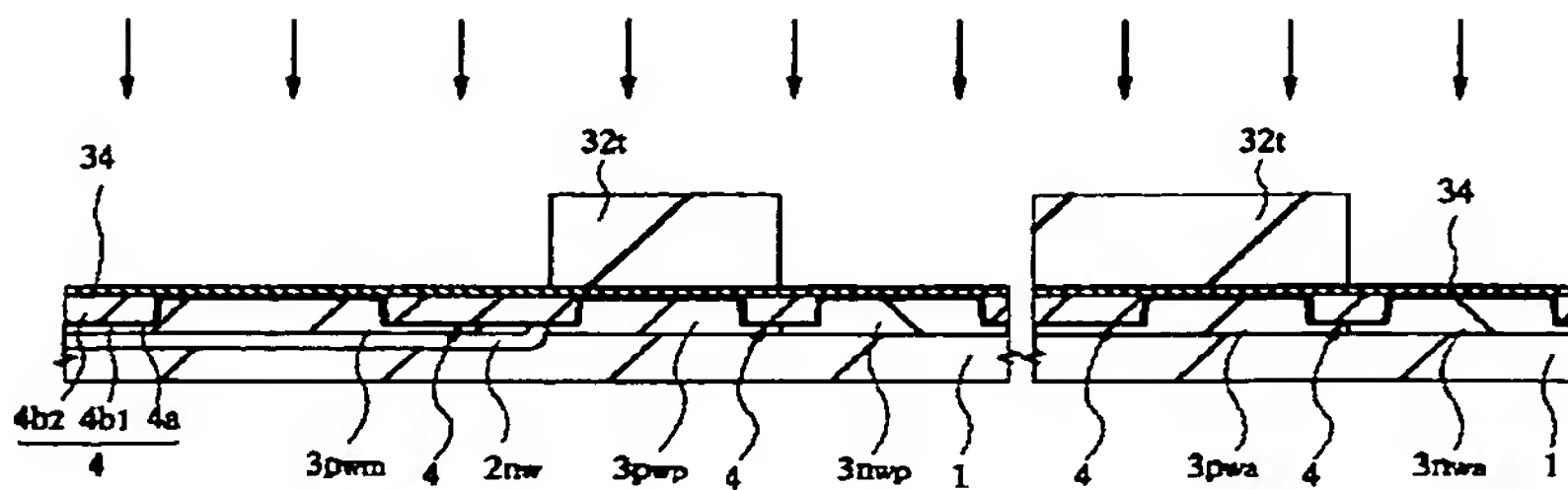
【図 5 3】

図 53



【図 5 4】

図 54



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.